

### PRACTICA 3: SISTEMES SEQÜENCIALS

I<sup>a</sup> part. Hem d'implementar un sistema seqüencial que mitjançant un comptador BCDnatural d'un sol dígit, visualitzi les transicions de comptatge en un diagrama de temps, que anomenem logic analyzer, i en un display de set segments, amb el que el resultat de la visualització serà de la forma:

0,1,2,3,4,,5,6,7,8,9,0,1,2,3,4,5

Per simular la senyal del rellotge hem d'introduir en una de les files del generador de paraules la seqüència 0,1,0,1,0,1,0,1,0,1,0,1,0,1,0 que anirà connectada al clock del comptador.

Entregar:

1.1.– Sistema implementat on es visualitzi les diverses transicions del comptatge (circuit, generador de paraules i logic analyzer).

1.2.– Quin tipus de sincronisme té el comptador BCDnatural que estem utilitzant?

–Els flancs són de baixada perquè els impulsos es produeixen quan el clock, a la primera fila del logic analyzer, té flanc de baixada. Amb el que el tipus de sincronisme es descendent.

II<sup>a</sup> part. Implementació d'un sistema seqüencial, mitjançant un comptador BCDnatural d'un sol dígit, que realitza un comptatge de 0 a 5 i torna a començar. Obtenint llavors la seqüència de la forma 0,1,2,3,4,5,0,1,2,3,4 Ens farà falta fer un reset, per a això obrim el comptador BCDnat i unim les sortides de reset dels biestables J–K, una vegada fet això només hem de treure els resets cap a l'exterior.

També hem de fer un sistema combinacional per controlar que quan el comptador arribi a 6 faci un reset.

Entregar:

2.1.– Circuit on es veu la modificació feta dins d'el comptador (circuit, comptador, Word Generator, la circuiteria necessària per fer i la taula de veritat corresponent i la visualització del comptatge on les transicions inclouen el moment del reset sobre el logic analyzer).

2.2.– Diagrama de temps on es veu el senyal del rellotge, el comptatge i el comportament del senyal de reset.

Clock

Q3

Q2

Q1

Q0

Reset

III<sup>a</sup>part. Implementació d'un sistema seqüencial que mitjançant dos comptadors BCDnat d'un dígit cada un simulen els segons d'un rellotge digital.

Caldrà un comptador com el del primer apartat (de 0 a 9) per a les unitats dels segons i un comptador com el de la segona part (de 0 a 5) per a les desenes dels segons, amb una connexió lògica entre ells. Aquesta lògica permet que quan el comptador de les unitats passi de 9 a 0 el comptador de les desenes s'incrementi en 1. La sortida del sistema combinacional de les unitats estarà connectada al clock de comptador de les desenes.

Entregar:

3.1.– Tot el circuit on es vegui tot el que s'ha fet: circuit, comptadors, Word Generator, les circuiteries necessàries per a fer el reset i lògica de connexió i les taules de veritat corresponents).

3.2.– Visualització del comptatge on les transicions inclouen el moment d'un increment del comptador de les desenes i un altre on les transicions inclouen la seqüència de la forma 01,02,57,58,59,00,01,02,

3.3.– Diagrama de temps fet a mà on es veu del moment d'un increment del comptador de les desenes, l'evolució del senyal de la lògica de connexió durant aquest moment.

Clock

Q3

Q2

Q1

Q0

D3

D2

D1

D0

Reset

(Es produeix aquí un reset a les unitats i també a les desenes perquè passa de 5 a 0)