

MULTIPICADOR DE 4 BITS

PRÁCTICA 4: DISEÑO CON

COMPONENTES DISCRETOS

I.T.I- Electrónica industrial. GIJÓN

Los objetivos de la practica son diseñar unidades de proceso de ampliación específica y utilizar componentes digitales de la familia 74.

En esta práctica se va a diseñar un circuito que multiplique dos números binarios de 4 bits utilizando el método natural de suma y desplazamiento. Entre los componentes de la librería que se van a necesitar se podrán utilizar los siguientes :

• Registro de desplazamiento universal de 4 bits: **74194**, *figura 1*.

• 74173: Registro de 4 bits tipo D *figura 2*

M, N: Señales de habilitación de salida activas a nivel bajo.

G1, G2: Señales de habilitación de carga activas a nivel bajo.

• 7483A: Sumador completo de 4 bits con acarreo anticipado, *figura 3*

figura 1. figura 2. figura 3.

En esta práctica se piden los esquemas del circuito implementado y los resultados de la simulación donde los datos de entrada y los datos de salida se muestran en formato de bus con notación decimal.

La multiplicación es una operación matemática que exige producto y desplazamiento. Al tratar con lógica digital, esta operación se realiza mediante una puerta lógica AND y el desplazamiento mediante un registro de desplazamiento. Para la obtención del circuito, realizamos la implementación, siguiendo la configuración de la *figura 4* siguiente:

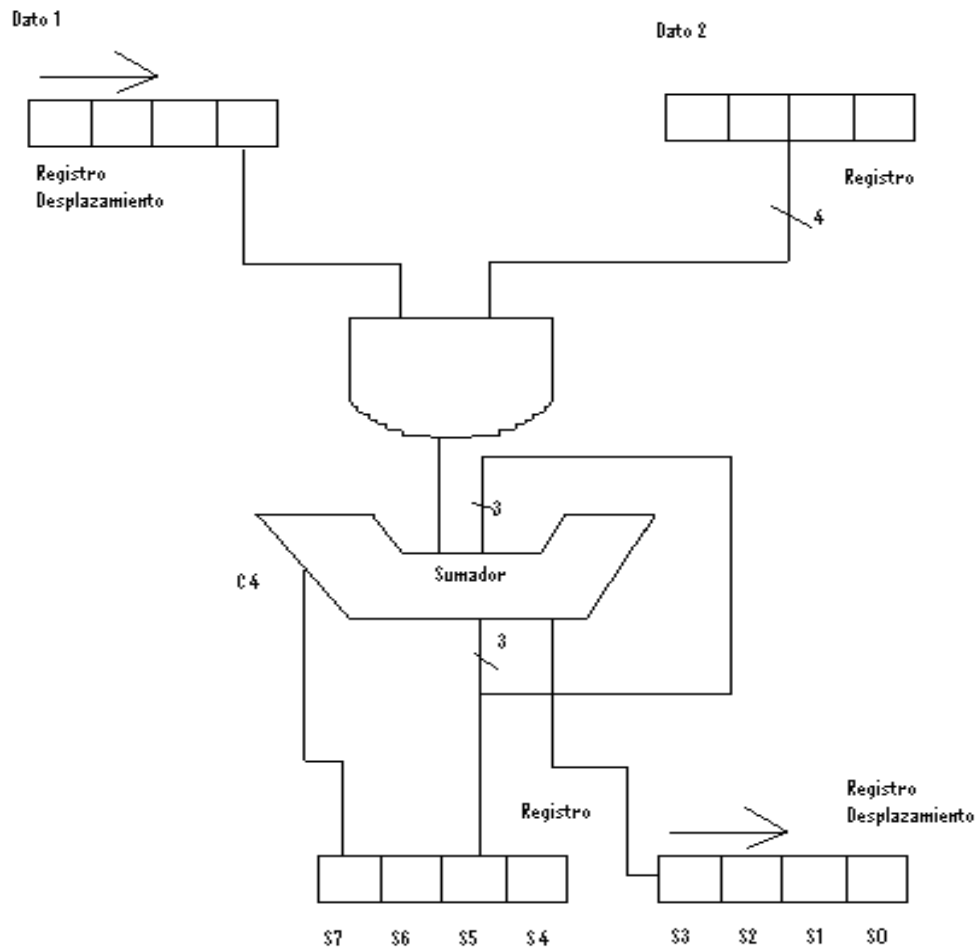


figura 4.

â Entradas y salidas:

-Entradas : CLK, DATO A y DATO B.

-Salidas : RESULTADO.

â Esquema del circuito:

El circuito al igual que en las otras prácticas se ha utilizado el Micro Sim Schematics.

El circuito resultante se puede ver en la figura 5.

figura 5.

â Generador de estímulos

Como el circuito que se ha diseñado genera estímulos automáticamente ya no hay que introducirlos a mano. El circuito va a generar la siguiente frecuencia:

Î Cargar dato (11) .

Î Desplazamiento hacia la izquierda de los cuatro bits del Dato A (1 0).

Î Mantener (0 0).

Para todo esto se ha utilizado un contador de 4 bits y una serie de puertas lógicas como se puede ver en la figura 6.

S1

S0

figura 6.

CONTADOR 4 BITS				CONTADOR INVERTIDO			
0	0	0	0	1	1	1	1
0	0	0	1	1	1	1	0
0	0	1	0	1	1	0	1
0	0	1	1	1	1	0	0
0	1	0	0	1	0	1	1
0	1	0	1	1	0	1	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	0	0
1	0	0	0	0	1	1	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	0	1
1	0	1	1	0	1	0	0
1	1	0	0	0	0	1	1
1	1	0	1	0	0	1	0
1	1	1	0	0	0	0	1
1	1	1	1	0	0	0	0

Tabla 1.

Una vez que tenemos la tabla 1 se escogen las columnas coloreadas que atienden a los bits C y B del contador invertido de 4 bits. Escogemos estas columnas porque con una puerta OR y una AND se consigue sacar la combinación deseada para S1 y S0. Con dicha combinación se realizará la secuencia que se ha especificado arriba y se realizará la multiplicación de los datos.

La señal CLK se ha multiplicado por S1 para que cuando esta pase a “0” el reloj se pare y se mantenga el resultado.

â Registro de desplazamiento de A

Se ha utilizado un registro de desplazamiento 74194, figura 7, para que posteriormente se multiplique con el dato B, para esto se ha utilizado la combinación obtenida anteriormente de S0 y S1. Hay que matizar que la entrada SL y la salida QA están unidas para que no se pierda el dato una vez realizada la operación.

Figura 7.

â Multiplicación del dato B

Se multiplica el bit A ,obtenido anteriormente con el registro de desplazamiento, con el dato B,como se puede ver en la *figura 8*, para así– introducirlo en el sumador completo.

A Figura 8.

â Sumador completo y registros.

El circuito resultante es el siguiente, *figura 9*, que posteriormente se explicará; todo el proceso más detenidamente.

Figura 9.

Para realizar las sumas intermedias de la multiplicación, se lleva la multiplicación del Dato B por cada bit del Dato A a las entradas [A4:A1] del sumador. Posteriormente se coge el bit, de posible acarreo, C4 y los tres bits más significativos del resultado de la suma y se almacenan en un biestable tipo D. Seguidamente realimentamos los bits almacenados en el biestable tipo D al segundo término [B4:B1] del sumador de 4 bits para realizar la suma siguiente. El acarreo de entrada al sumador de 4 bits C0, siempre es 0.

El bit menos significativo del resultado de cada suma no cambia, ya que al realizar las sumas intermedias de la multiplicación se van desplazando un lugar a la izquierda cada vez que se multiplica por un nuevo bit. Por lo tanto este bit menos significativo, lo vamos almacenando en un registro de desplazamiento.

El último registro , el 74LS245, se ha utilizado para que cuando se habilite salga el resultado de la suma que queremos. Se ha creado una salida llamada Final_operación que nos indica en qué instante se ha producido la multiplicación.

â Simulación.

La *gráfica 1* atiende a los estmulos dados para poder ver la salida posteriormente.

Gráfica 1.

Ahora se dispone a obtener la salida de la multiplicación, *gráfica 2*.

Gráfica 2.

Como se puede apreciar la multiplicación la hace correctamente y sólo nos muestra el resultado final debido a la acción del último registro , el 74LS245.

S1	S0	Función
0	0	Mantenimiento
0	1	SR A ... D
1	0	SL D ... A
1	1	Carga