

Funciones incompletas

Son funciones cuyo valor puede ser indistintamente 0 ó 1 para algunas combinaciones de las variables de entrada, bien porque dichas combinaciones no vayan a darse nunca en la práctica o porque sea indiferente para el diseño el valor de la función para dichas combinaciones. Estos valores indeterminados de la función se representan mediante un aspa (X) en la tabla de verdad de la función.

Las funciones incompletas se simplifican considerando dichos valores indeterminados de la función como 0 ó 1, según nos convenga para obtener la mayor simplificación posible.

Simplificando por Karnaugh, se colocan aspas en los cuadros correspondientes a las configuraciones de entrada indeterminadas, y consideraremos dichas aspas como valor 1 cuando puedan formar grupos de unos mayores que si fueran 0, a fin de simplificar más.

* Diseñar un circuito simplificado que tenga por entrada una cifra decimal codificada en binario (de 0 a 9), y que detecte a su salida los múltiplos de 3.

$$F = da + cb\bar{a} + \bar{c}ba$$

* En una computadora el microprocesador se comunica con uno de los siguientes dispositivos:

- Memoria RAM que guarda programas y datos que pueden cambiarse fácilmente.
- Memoria ROM que guarda progs. y datos que nunca cambian.
- Dispositivos externos de E/S como teclado, monitores, impresoras y unidades de disco. Mientras ejecuta un programa, el micro genera un código de dirección que selecciona el tipo de dispositivo (RAM, ROM, E/S) con el que desea comunicarse.

La figura muestra una configuración común donde el micro envía como salida un código de dirección, el código entra en un circuito lógico que genera las señales de selección de dispositivo. Analiza este circuito y determina lo siguiente:

- Rango de direcciones de A15 a A8 que activan RAM, la ROM y la E/S.
- Expresa las direcciones en binario y hexadecimal.

Funciones múltiples

Son grupos de dos o más funciones que dependen de las mismas variables de entrada, y que han de ser obtenidas simultáneamente a partir de éstas. En la práctica, casi todos los circuitos combinacionales constituyen una multifunción, ya que tienen más de una línea de salida.

Ejemplo:

$$f_1 = \underset{4}{(0,1,2,3,8,10,12,14)}$$

$$f_2 = \underset{4}{(2,3,5,6,7,8,10,11,12,14,15)}$$

$$f_3 = \underset{4}{(8,9,10,12,13,14)}$$

Dado que suelen existir configuraciones de entrada para las cuales el valor de las distintas funciones es el mismo, conviene efectuar la simplificación de dichas funciones de forma conjunta. Dicha simplificación suele realizarse por Karnaugh intentando encontrar agrupaciones de términos que sean comunes a todas o a algunas de las funciones, agrupaciones que darán lugar cada una a un término simplificado común, es decir, a una puerta lógica compartida por varias funciones:

Tema 5: Códigos binarios

Código: Son diferentes maneras de representar una información.

Códigos ponderados: Son aquellos en los que el peso de cada bit depende de la posición que ocupa (p.e. Binario natural). Sobre todo se utilizan para operaciones aritméticas.

Códigos no ponderados: Se utilizan para detección de errores y conversión de señales, y normalmente no tienen peso (Código Gray).

Códigos continuos: Son aquellos códigos en los que de una combinación a la siguiente sólo cambia un bit, es decir, son adyacentes.

Códigos cíclicos: De la primera combinación a la última sólo cambia un bit.

Algunos códigos son:

Código BCD (Decimal Codificado en Binario): Son aquellos que codifican los dígitos decimales en binario.

* Realizar un circuito convertidor de código de BCD Aiken a BCD Natural.

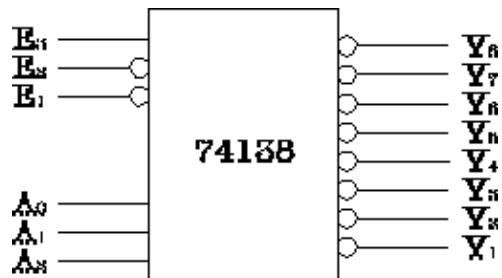
* Diseñar con puertas NAND un sistema combinacional que tiene una entrada de 6 bits en paralelo correspondiente a una información representada en código ASCII. S0 será un 1 lógico cuando la configuración de entrada corresponda a un carácter numérico, y S1 será 1 si la configuración de entrada corresponde a un carácter numérico ≥ 4 .

Tema 6: Circuitos combinacionales integrados

Decodificadores: Son circuitos que tienen por entrada una cantidad en binario y tienen tantas salidas como posibles combinaciones haya con esas entradas.

Decodificador de 3 a 8:

Ejemplo: Chip 74138 decodificador de 3 a 8.



* Indica los estados que tienen las salidas del 74138 para cada uno de los siguientes conjuntos de entradas:

- a) E3=E2=1; E1=0; C=B=1; A=0;

b) E3=1; E2=E1=0; C=0; B=A=1;

- Funciona si E3=1, y E2 y E1=0, por lo que en el caso a) todas las salidas valen 1, ya que el integrado no está habilitado. (Y0=1, Y1=1, etc).
- Y3=0, y el resto de las salidas a 1.

* Analiza el circuito y determina cuales de las siguientes direcciones en hexadecimal activarán el módulo 2: 607Fh; 57FAh; 5F00h.

a) Para que se active el módulo 2, la configuración de las líneas del decodificador ha de ser:

- 607Fh ! 0 1 1 0 0 ! No activa ninguno.
- 57FAh ! 0 1 0 1 0 ! Activa el módulo 2.
- 5F00h ! 0 1 0 1 1 ! No activa ninguno.

b) Determina qué rango de valores activará el 1.

De la 0011.0000.0000.0000b (3000h) a la 0011.0111.1111.1111b (37FFh).

c) ¿Es posible acceder a ambos módulos a la vez? – No es posible.

Decodificador decimal:

Si la entrada es 0, se activa S0, si es uno, se activa S1, y así hasta 9.

Decodificador hexadecimal:

Es igual que el anterior, pero tiene 16 salidas (S0..S15).

Decodificador BCD a 7 segmentos:

Las conexiones del display se pueden hacer de dos maneras:

- Anodo común: Todos los ánodos del display están unidos. Para este tipo de display necesitamos un decodificador de lógica negada de salida (7447).

Montaje ánodo común

- Cátodo común: En este display, son los cátodos los que están unidos, por lo que necesitamos un decodificador de lógica positiva (7448).

Montaje cátodo común

Tabla de verdad BCD–7 segmentos (con lógica negada) ! Anodo común

Codificadores:

Hacen la función inversa de los decodificadores. Tiene 2n entradas y n salidas. Hay dos tipos de decodificadores:

- Con prioridad: Se pueden activar varias entradas, y tiene prioridad la entrada de mayor valor decimal.

- Sin prioridad: Sólo se puede activar una entrada. Si se activan más, la salida es indefinida.

Codificador de 8 a 3:

Ejemplo: Codificador con prioridad 8 a 3 (74148)

Analizar la siguiente conexión

El circuito de la figura muestra cómo, a partir de 2 codificadores de 8 entradas, podemos hacer uno de 16 entradas.

Diseña un circuito con un decodificador 74138 y con un codificador 74148 que convierta un número de 3 bits en binario natural al código Gray.

Funcionamiento del pin de (I)nhibición

- Con un 0 en la I, y activando un pin de E0 a E7, sale el código correspondiente a la patilla activa, con lógica positiva.
- Si se pone la I en alto, todas las salidas serán 1, y se supone que no se va a considerar la salida.

Multiplexores

Son circuitos que tienen $2n$ entradas, n entradas de control y 1 salida, y actúan como conmutadores electrónicos.

Ejemplo: Mux de dos entradas

Mux de 8 entradas

74157: Cuádruple mux de 2 canales (entradas)

Mux 74151 (8 canales)

El circuito de la figura muestra como usar un multiplexor de 8 entradas para generar una función lógica de 4 canales.

- Construye una tabla de verdad que muestre la salida Z para las 16 posibles combinaciones de las entradas.
- Escribe la expresión de Z simplificada, y cumprueba qué es.

$$Z = \bar{c}b\bar{a} + d\bar{c}\bar{a} + \bar{d}c\bar{b}\bar{a} = \bar{a}(\bar{c}b + d\bar{c} + \bar{d}cb)$$

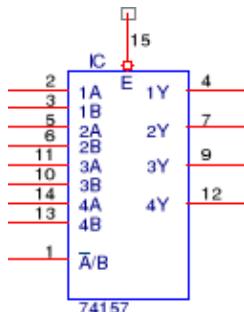
El circuito de la figura utiliza 3 multiplexores de 2 entradas. Determinar la función que realiza este circuito.

El siguiente circuito es un ejemplo de utilización de un multiplexor como convertidor de información paralelo/serie.

Deducir la forma de onda de salida para los valores:

$$X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0 = 10110101b$$

A cada flanco de bajada, el contador (biestables) se incrementa en 1. Una vez llegado al 111, el contador vuelve al 000, porque son cíclicos.

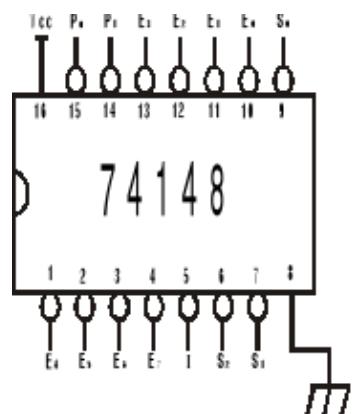
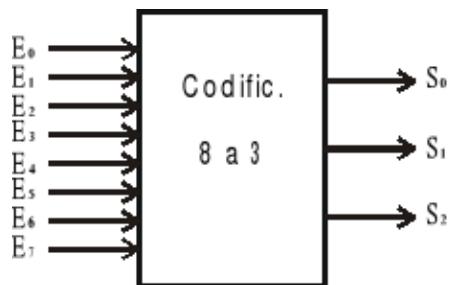
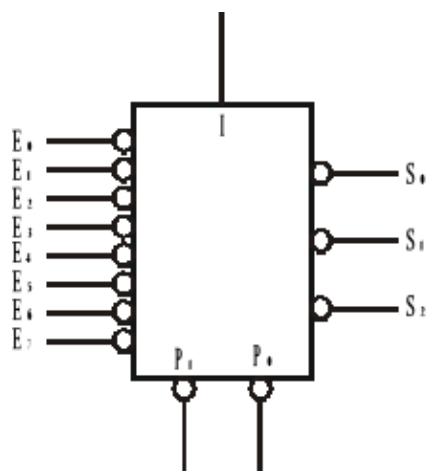


C1	C2	C3	Y
0	0	0	E0
0	0	1	E1
0	1	0	E2
0	1	1	E3
1	0	0	E4
1	0	1	E5
1	1	0	E6
1	1	1	E7

SEL	Y
0	A
1	B

I	E7		E0	P1	P0	S2	S1	S0
1	X		X	1	1	1	1	1
0	1		1	1	0	1	1	1
0	Resto casos		0	1	Valor codific.			

Binario			Gray		
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0



a

f b

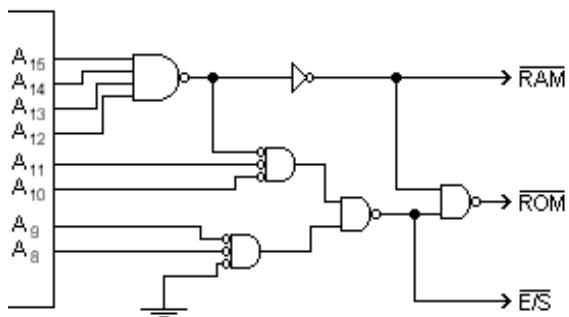
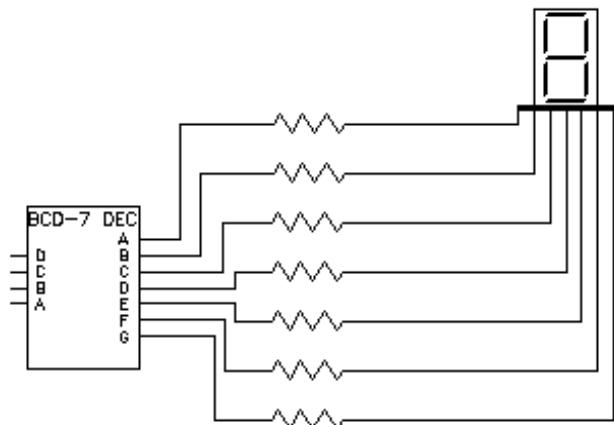
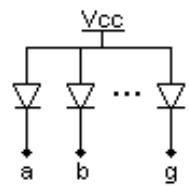
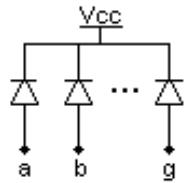
g

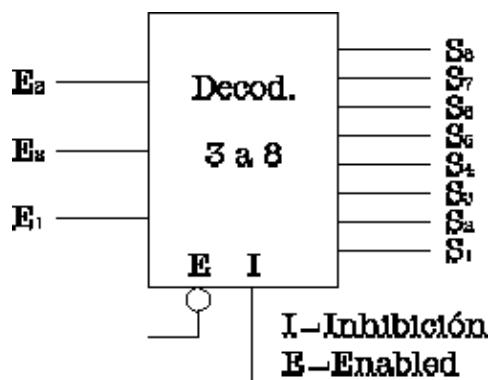
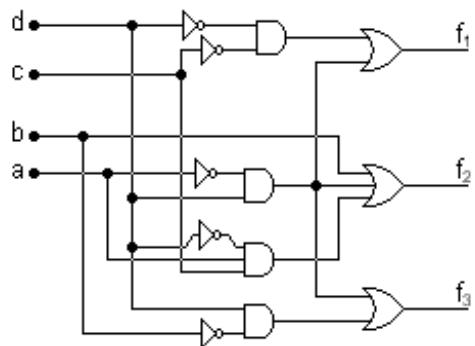
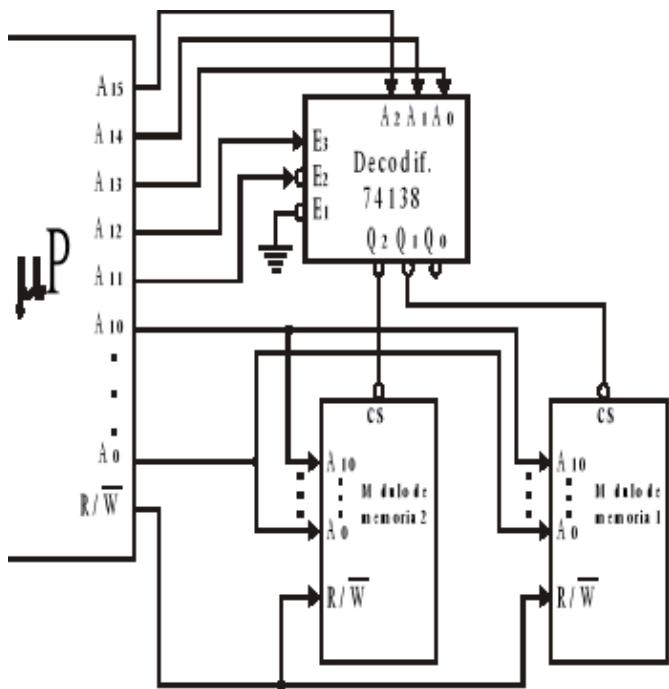
e c

d

E3	E2	E1	E0	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0

0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0
1	0	1	0	1	1	1	1	1	1	1
:							:			
1	1	1	1	1	1	1	1	1	1	1





	00	10	11	01
00	1	1	1	1
10	1			1
11				
01	1	1	1	1

E5 y E6=11

$$S_0 = E_6 E_5 (\bar{E}_4 + \bar{E}_3 \bar{E}_2)$$

$$S_0 = \overline{\overline{E_6}} \overline{\overline{E_5}} \overline{\overline{E_4}} \overline{\overline{E_3}} \overline{\overline{E_2}}$$

	00	10	11	01
00				
10	1			1
11				
01	1	1	1	1

E5 y E6=11

$$S_1 = E_6 E_5 (\bar{E}_4 E_3 + E_4 \bar{E}_3 \bar{E}_2)$$

$$S_1 = \overline{\overline{E_6}} \overline{\overline{E_5}} \overline{\overline{E_4}} \overline{\overline{E_3}} \overline{\overline{E_4}} \overline{\overline{E_3}} \overline{\overline{E_2}}$$

E5	E4	E3	E2	E1	E0	S1	S0
1	1	0	0	0	0	1	0
1	1	0	0	0	1	1	0
1	1	0	0	1	0	1	0
1	1	0	0	1	1	1	0
1	1	0	1	0	0	1	1
1	1	0	1	0	1	1	1
1	1	0	1	1	0	1	1
1	1	0	1	1	1	1	1
1	1	1	0	0	0	1	1
1	1	1	0	0	1	1	1

	00	10	11	01
00			1	1
10	X	X	1	X
11			1	1
01		X	X	X

a'=a

	00	10	11	01
00		1	1	
10	X	X		X
11	1			1
01		X	X	X

$$b' = \bar{d}b + d\bar{b}$$

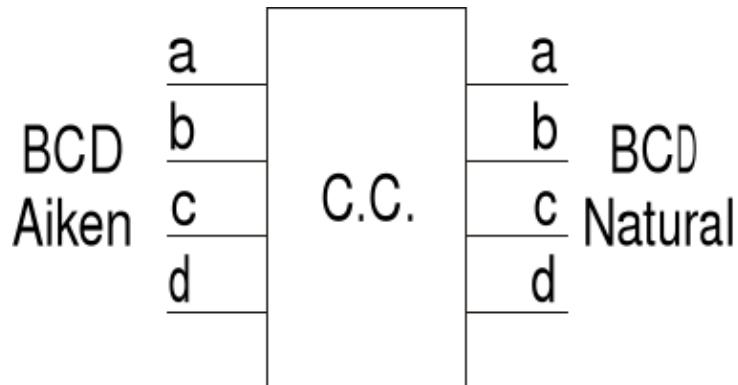
$$b' = d \quad b$$

	00	10	11	01
00				
10	X	X	1	X
11	1			1
01	1	X	X	X

$$c' = d\bar{c} + c\bar{b}$$

	00	10	11	01
00				
10	X	X		X
11		1	1	
01		X	X	X

$$d' = cb$$



d	c	b	a	d'	c'	b'	a'
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	X	X	X	X
0	1	1	0	X	X	X	X
0	1	1	1	X	X	X	X
1	0	0	0	X	X	X	X
1	0	0	1	X	X	X	X
1	0	1	0	X	X	X	X
1	0	1	1	0	1	0	1
1	1	0	0	0	1	1	0
1	1	0	1	0	1	1	1

1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	1

BCD Ex3

0	0	0	1	1
1	0	1	0	0
2	0	1	0	1
3	0	1	1	0
4	0	1	1	1
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0

BCD Aiken

0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	1	1
6	1	1	0	0
7	1	1	0	1
8	1	1	1	0
9	1	1	1	1

BCD Natural

0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Johnson

0	0	0	0
---	---	---	---

0	0	0	1
0	0	1	1
0	1	1	1
1	1	1	1
1	1	1	0
1	1	0	0
1	0	0	0

Gray

0	0	0
0	0	1
0	1	1
0	1	0
1	1	0
1	1	1
1	0	1
1	0	0

	00	10	11	01
00				
10	1	1		1
11	1	1		1
01				

$$f_3 = \underline{\underline{d\bar{a}}} + \underline{\underline{d\bar{b}}}$$

	00	10	11	01
00		1	1	
10	1	1	1	
11	1	1	1	
01		1	1	1

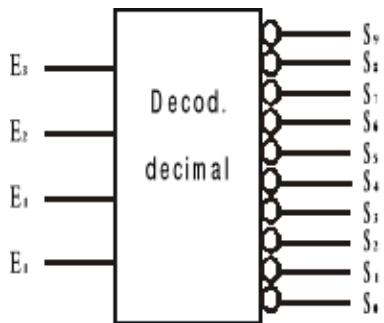
$$f_2 = b + \underline{\underline{d\bar{a}}} + \bar{d}ca$$

	00	10	11	01
00	1	1	1	1
10	1	1		
11	1	1		
01				

$$f_1 = \bar{d}\bar{c} + \underline{\underline{d\bar{a}}}$$

A15	A14	A13	A12	A11	A10	A9	A8	Hexadecimal	Dispositivo
-----	-----	-----	-----	-----	-----	----	----	-------------	-------------

0	0	0	0	X	X	X	X	00h	
0	0	0	1	X	X	X	X		
0	0	1	0	X	X	X	X		RAM
1	1	1	0	X	X	X	X	0Efh	
1	1	1	1	0	0	0	0	0F0h	E/S
1	1	1	1	0	0	0	1	0F1h	
1	1	1	1	0	0	1	0		
1	1	1	1	0	0	1	1		ROM
1	1	1	1	1	1	1	1	0FFh	

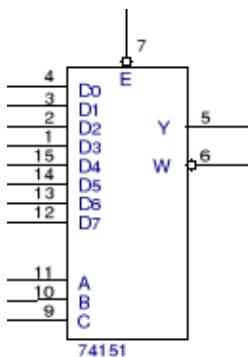
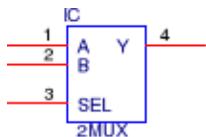
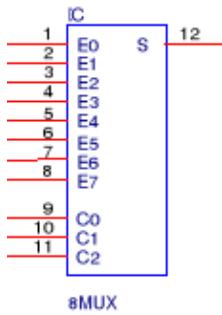


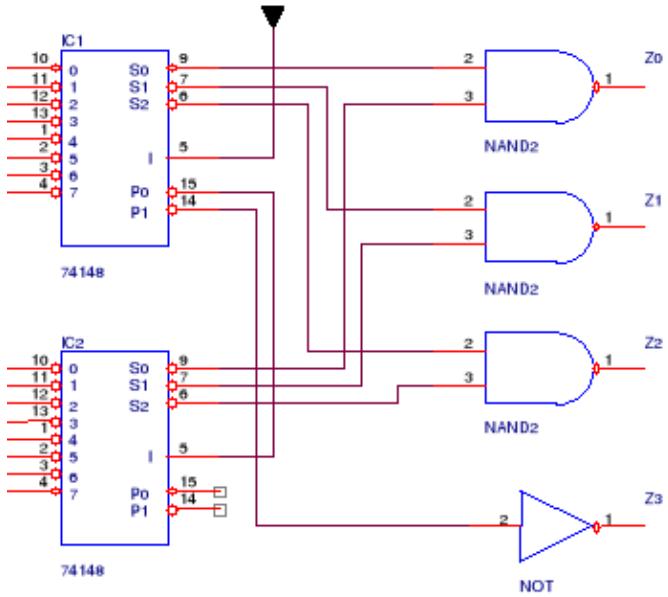
d	c	b	a	f1	f2	f3
0	0	0	0	1	0	0
0	0	0	1	1	0	0
0	0	1	0	1	1	0
0	0	1	1	1	1	0
0	1	0	0	0	0	0
0	1	0	1	0	1	0
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	1	1
1	0	0	1	0	0	1
1	0	1	0	1	1	1
1	0	1	1	0	1	0
1	1	0	0	1	1	1
1	1	0	1	0	0	1
1	1	1	0	1	1	1
1	1	1	1	0	1	0

d	c	b	a	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0

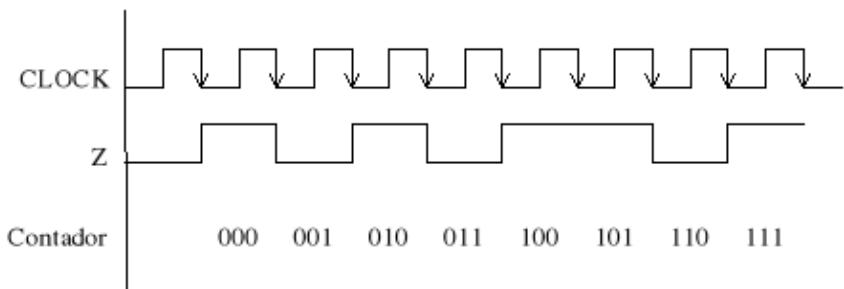
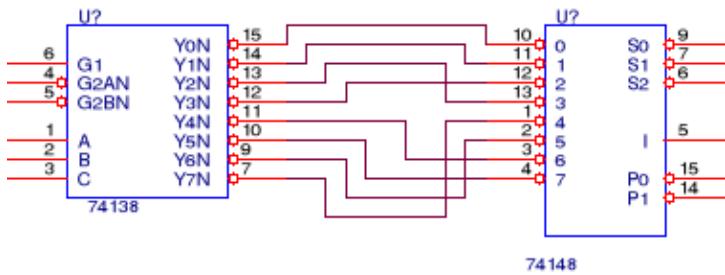
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

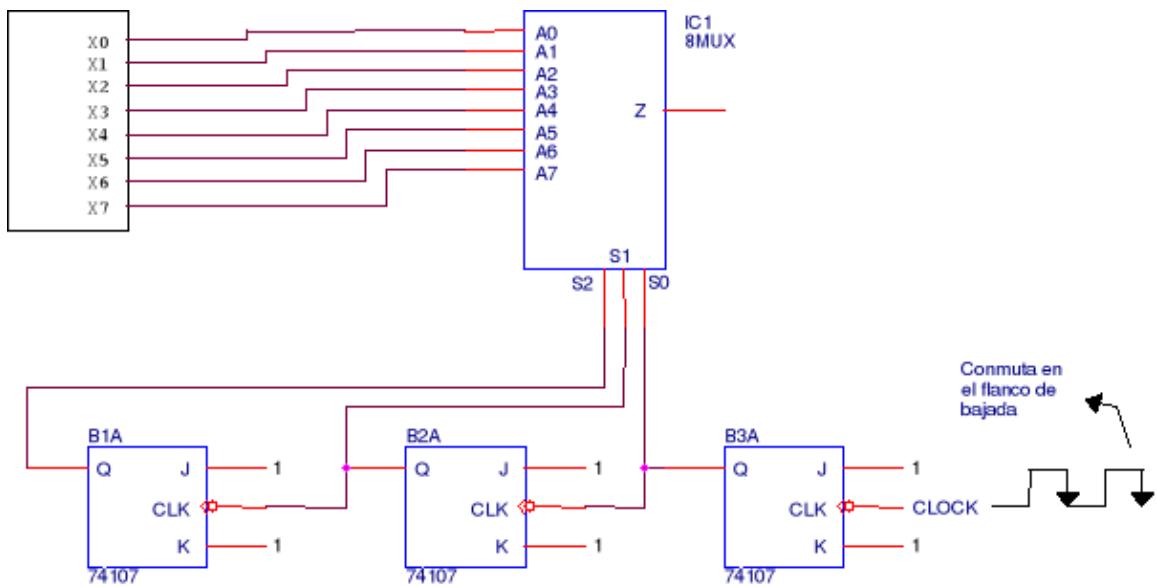
	00	10	11	01
00	0	0	1	0
10	0	X	X	1
11	X	X	X	X
01	0	1	0	0



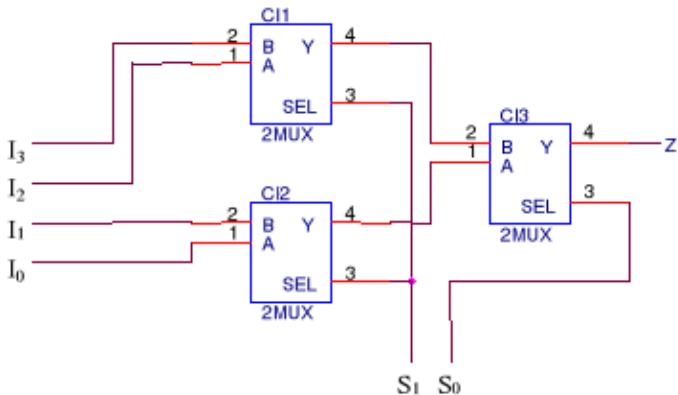


E	A	B	C	W	Y
1	X	X	X	1	0
0	0	0	0	$\overline{D_0}$	D_0
0	0	0	1	$\overline{D_1}$	D_1
:				:	
0	1	1	1	$\overline{D_7}$	D_7





S_1	S_0	Z
0	0	I0
0	1	I2
1	0	I1
1	1	I3



D	C	B	A	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1

1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

