

LOS MICROPROCESADORES

INTRODUCCION

La historia del microprocesador va íntimamente ligada a la de la computadora, aunque no al revés, pues las primeras computadoras no incluían microprocesador. Si, aunque cueste creerlo, las primeras computadoras (por así llamarlas) eran mecánicas, ya en el siglo XVII, el filósofo y científico francés, Blaise Pascal, con solo 18 años, invento una maquina de calcular, con un complicado sistema de ruedas y engranajes. Esta maquina solo permitía la suma y resta, operaciones básicas, a partir de las cuales los ordenadores actuales ejecutan sentencias por si no lo sabias, un microprocesador, en realidad solo sabe sumar, y por medio de ciertos trucos, como el complemento a 2, es capaz de restar, multiplicar y dividir.

Desde esos tiempos a llovido mucho (o muy poco, es el cambio climático), y posteriormente se construyeron computadoras que basaban su capacidad de calculo en válvulas o relés. Los relés, son pequeños dispositivos electrónicos, similares a interruptores, pero de movimiento mecánico, realizado por una bobina, lo cual permitía tener un 0 o un 1 según estuviera el relés abierto o cerrado. Las válvulas, por su parte, eran dispositivos más avanzados y rápidos, pero que tenían en su contra, su gran fragilidad, y su alto consumo de energía eléctrica, unido a una considerable producción de calor. Pero la verdadera revolución (de la cual nació el microprocesador) fue cuando en 1947, se invento el primer transistor, dando paso a la segunda generación de computadoras. El primer ordenador basado en transistores, se construyo en Alemania, en 1957, de la mano de Siemens, el 2002, y aquí empezó una nueva era de la informática.

A partir de ese momento comenzó la carrera para la miniaturización, en este momento es hora de hablar de Jack St. Clair Kilby, al que se le negó entrar en el MIT (Instituto de Tecnología de Massachusetts), por pocos conocimientos matemáticos (¿?) y solo consiguió un puesto en una empresa que fabrica piezas para radios, con lo consiguió familiarizarse enormemente con los transistores, consiguiendo entonces entrar en Texas Instruments, cuyo proyecto era el desarrollo de micromodulos, una especie de placas con varios transistores que se unirían por cables para crear múltiples aparatos, pero Kilby pensó que eso seria una maraña de cables y se le ocurrió crear, en una sola plaquita de silicio de un centímetro cuadrado, varios dispositivos electrónicos (transistores, resistencias, condensadores) en "integrarlos" todos en uno, así nació el primer "integrado", lo que se conoce popularmente como CHIP. Fue poco después, en 1970, de la mano de Marcian Edward, Stanley Mazor y Federico Fanggin, que se creo lo que hoy conocemos como MICROPROCESADOR, el 4004 de Intel.

El microprocesador es el corazón de cualquier computadora

personal porque asume un papel primario en la ejecución de la mayoría que computa funciones.

Hay dos conceptos introductorios para entender sobre

cualquier CPU:

- 1.- La velocidad del reloj, dependiendo del diseño del microprocesador, es la velocidad a la que ejecuta los funcionamientos (hay dos tipo de velocidad del reloj, uno para los funcionamientos externos, los otros, mucho más rápido, para los funcionamientos de Cpu interiores).
- 2.- El ciclo del reloj es una medida de la unidad (en nanosegundos) indicando el tiempo necesitado por el Cpu para que termine un funcionamiento básico (gusta por ejemplo una instrucción que descifra) a una velocidad

del reloj dada.

Cualquier microprocesador realiza funcionamientos con los datos y instrucciones que están cargado en las situaciones interiores, los registros también nombrados en que la lectura y escritura pueden pasar muy rápidamente.

Además el Cpu presenta dos tipo de conexión, uno con el

bus de los datos, los otros con el bus de direcciones.

El bus de los datos puede ser interior o exterior: el primero se usa para transferir datos entre los registros y es hecho a través de varias líneas igual a aquéllos del Cpu (si es 16 bits el bus de los datos consiste en 16 líneas físicas), mientras el segundo se usa para el intercambio de informaciones entre el microprocesador y los otros dispositivos como el disco duro, memoria RAM.

En los dos de casos las comunicaciones pasan tan por consiguiente en modo paralelo, a cada ciclo del reloj, el se envían bits en el bus en número igual a las líneas del mismo.

El bus de dirección, que transfiere la dirección de memoria, consiste en varias líneas que conectan físicamente el CPU a la memoria, así su anchura determina la cantidad de memoria física que el microprocesador puede direccionar.

Una otra consideración es que el Cpu puede operar en modo real y protegido.

Las diferencias entre ellos son considerables: el primero

es el modo predefinido durante la fase de arranque y antes de la carga de cualquier sistema operativo. En este modo cualquier microprocesador puede dirigirse sólo 1 Mbyte de memoria sin tener en cuenta su bus de dirección.

En el modo protegido todo el espacio dirigiéndose se

habilita y el Cpu maneja la memoria entera para evitar cualquier tipo de interferencia entre los programas que corren al mismo tiempo.

Finalmente, los microprocesadores modernos se caracterizan

en la presencia de FPU (Unidad del Punto Flotante) construido en el mismo chip.

Esta unidad sólo es así experimentada en la ejecución de flotante-punto las instrucciones matemáticas su presencia puede producir mejoras sustanciales sobre todo con esas aplicaciones que hacen uso grande de este tipo de instrucciones (CAD, fotografía-retoque, el proceso de diseño digital y otros).

CPU 8086/8088

Los 8088 han sido el primer microprocesador de Intel,

hecho por unos 29,000 transistores y un paquete de, 40 pin, con las características siguientes:

frecuencia del reloj igual a 4.77 Mhz

bus de los datos interior a 8 bit

bus de los datos externo a 16 bit

8 registros del propósito generales (a 16 bit)

4 registro de segmento

2 registro de bandera

Espacio dirigiéndose igual a 1 Mbyte (debido a la presencia de 20 líneas en el bus de dirección así que 2^{20} conseguirán como la consecuencia 1,048,576 byte que es decir 1 Mbyte).

Los 8088 no pueden acceder a directamente a las locaciones de memoria contenidas en los espacios de dirección y eso se hace necesario para aplicar la técnica nombrada "segmentación." De esta manera es posible usar bloques o segmentos de 64 Kbyte: en primer lugar, se necesitaba apuntar al bloque querido a través de la carga, en un registro del segmento, de un valor de 4 byte que representa el bloque de arranque. Sólo entonces este funcionamiento se ha llevado a cabo, las instrucciones del programa se puestas capaz acceder a cualquier situación de memoria dentro del bloque

especificado.

La segmentación ha sido acostumbrada a 80386 microprocesador, empezando del que ha sido, introducido una nueva manera de dirigirse y acceder a las situaciones de memoria.

Los 8086 diversifican de 8088 debido a la frecuencia del reloj superior y de la presencia de un bus de los datos interior a 16 momento.

CPU 80286

Los 80286 tienen 134,000 transistores, un paquete de 68, y se proporcionan con las nuevas características siguientes:

Frecuencia del reloj igual a 6 Mhz (después aumentó a 20 Mhz).

Espacio dirigiéndose a 16 Mb.

Capacidades para realizar funcionamientos ambos en modo real y protegido.

En modo real el CPU se comporta exactamente como un 8086 y

es absolutamente compatible con el DOS (eso es un sistema operativo del modo real).

Sin embargo el uso de este modo causa una desventaja debido al hecho que las faltas y funcionamientos defectuosos de un programa el sistema entero podría afectar mal.

En modo protegido los segmentos del programa no se dirigen

a través de las direcciones físicas pero a través de un seleccionador del segmento que apunta a una mesa que contiene las direcciones de arranque reales de los segmentos.

En el modo protegido cada programa se ejecuta en aislamiento total y no podría acceder a la memoria asignada por otros programas. Esto implica que los funcionamientos defectuosos eventuales no afectan el sistema y los otros programas desde que ellos no pueden hacer interferencia con ellos.

CPU 80386

Los 80386 tienen 275,000 transistores, un paquete de 132

pin, y se proporcionan con las nuevas características siguientes:

Frecuencia del reloj superior que empieza (12,5/16 Mhz aumentó rápidamente a 33 Mhz y a veces a 40/50 Mhz).

Apoyo del modo virtual (la habilidad de ejecutar en multitareas más de un programa de DOS).

Nuevo modo de dirigirse y I/O a 32 bit

Espacio de direccionamiento total 4 Gbyte ($2^{32} = 4,294,967,296$).

Dirección de memoria virtual a 64 Tbyte (terabyte que es miles de gigabytes).

Unas otras noticias en el CPU son representadas por la presencia de un Cache de 16 byte que tiene la función de guardar las instrucciones del programa, antes de que ellos se ejecuten, y para reducir el tiempo de espera necesitado para la ejecución. Los 80386 se hicieron en modelos diferentes: los 80386SX y los 80386DX. El primero diversifica del segundo debido a usar datos línea a 16 bit en lugar de 32. Otro modelo producido fue los 386SL basados en 80386DX y asignó para equipar computadoras portátiles. Este CPU puede operar con voltaje de 3 y 5 voltio y se diseñó específicamente para ahorrar energía.

CPU 80486

Los 80486 presentaron las nuevas características siguientes:

Reloj de frecuencia superior.

Co-procesador matemático (igual a 80386 pero integró

en el CPU y operando a la misma frecuencia de él).

8 Kbyte interior el Cache asociativo (Cache de 1 Nivel).

Controlador de memoria de Cache.

Soporte de los pipelines (ésta es la capacidad de precargar una instrucción, durante la ejecución de precedente, mejorando el tiempo de la ejecución total).

Los 80486 se produjeron en versiones diferentes, uno llamó

DX (con Co-procesador matemático), los otros SX (sin el co-proceso matemático) y las últimas SL llamadas (diseño para la computadora portátil en orden a energía que ahorra). Aunque la estructura interior de 486 presenta diferencias notables que relacionan a 386, los dos microprocesadores mantienen compatibilidad binaria al máximo.

Para la primera vez los 80486 usa algunas técnicas típico

de RISC (Reduced Instruction Set Computer) los microprocesadores y soporta una cinco fases de pipeline (precargando y descifrando de instrucción, generación de dirección, la ejecución y escribiendo) eso representa el cauce donde el tránsito las instrucciones para ejecutar. A cada ciclo del reloj, una nueva instrucción se introduce así en la tubería que el Cpu parece de esta manera, para poder ejecutar, al mismo tiempo, más de una instrucción aunque siempre necesita varios ciclos para terminar un orden.

Las mejoras de los 486 también relacionan el bus local que usa una nueva técnica capaz aumentar a 50% la proporción del traslado. De hecho, diferentemente de los microprocesadores anteriores, los 486 pueden referirse a los datos a través de bloques de 16 bytes, enviando a la memoria sólo la dirección de arranque del bloque (viceversa los 386 envían una dirección para cada referencia de memoria).

La causa de la imposibilidad para aumentar la frecuencia del bus local más de 66 Mhz, la frecuencia superior él se alcanza a través de los circuitos del multiplicador.

Estos circuitos, PLL (nombrado Vuelta de Cerradura de Fase) y integró en el pin, acepte como la referencia la velocidad del bus local, normalmente a 33 Mhz, y lo multiplica a través de un circuito analógico, generando un reloj interior que puede ser múltiple de un entero.

Generalmente, pero no siempre, esta proporción de la multiplicación se indica así en el SX o sufijo de DX 80486 DX2 medios el Cpu tiene una frecuencia interior obtenido multiplicando para 2 la frecuencia del bus externo.

Las últimas noticias introdujeron es el apoyo del Modo de Dirección de Sistema (SMM) eso representa un modo operando que tiene mando funciona en poder al I/O manejar, dirigiéndose y economía de energía.

De esta manera, bajo el mando del firmware, el Cpu puede acceder a SMM de cualquier modo(real, protegido y virtual) haciendo los funcionamientos necesitados y devolviendo al modo original.

CPU AMD 5x86

Este Cpu se nombró X5 (realmente el equivalente de un 80486)

nos presento un paquete PGA (Serie de Reja de Pin) de 168 pin y las características siguientes:

Bastante 80486 pin-compatibilidad (pero sólo en un Escribir a través de la aplicación y con el apoyo de BIOS);

Voltaje operando igual a 3 voltio con una dispersión de poder un poco el bit más de 3 vatios;

Reloj de frecuencia interior igual a 133 Mhz (obtuvo a través del cuadruplicación de externo frecuencia a 33 Mhz);

16 kbytes el Cache interior (se unificó para los datos y instrucciones) capaz para o ser operado en escribir-a través de o en modo del escribir-parte de atrás;

Apoyo para la instrucción de CPUID para identificar el tipo del procesador y retorno otra información con respecto a las funciones especiales;

El 5x86 AMD integró en sistemas de calidad altos debe alcanzar el mismo rendimiento como Pentium a 75 Mhz pero sólo para los funcionamientos de los enteros mientras, en el modo del punto flotante, permanece

más bajo.

CPU Cyrix 5x86

Este microprocesador es hecho por un paquete PGA (Serie de

Reja de Pin) de 168 pin y se proporciona con las características siguientes:

Bastante 80486 compatibilidad (sin embargo necesita el apoyo vía el BIOS).

Voltaje operando igual a 3,45 voltio con una dispersión de poder un poco el bit más de 3 vatios.

Reloj de frecuencia interior a 100 o 120 Mhz.

Frecuencia operando externa igual a 33, 40 o 50 Mhz,

Cache interior igual a 16 Kbyte se unificado para los datos y instrucciones.

Este Cpu presenta una arquitectura nivelada alta y apoya algunos reforzaron técnicas como la Predicción de la Rama y los Datos que lo Remiten así realmente pueden ser considerados como una versión más baja de Cyrix 6x86.

Proporciona el mismo rendimiento eficazmente como el Pentium a 75 Mhz y, en todo caso, superior que AMD 5x86.

CPU Pentium

El Pentium, hecho por 3,1 millones de transistores, nos presento un paquete de 273 pin (versiones a las 60/66 Mhz) y las características siguientes:

Reloj de frecuencia superior.

Nuevo enchufe ZIF (Ceras Inserciones Fuerzan) tipo 7.

Velocidad del bus local a 66 Mhz.

Ancho de banda de bus de datos de 64 bit.

Nuevo Co-procesador matemático.

Cache interior de 16 Kbyte (dividió en dos 8 unidad del Kbyte, uno para los datos, los otras para las instrucciones).

Dos 32 pipeline del bit a cinco fases.

Causa de la presencia de dos unidades de la ejecución el Pentium es el primer x86 microprocesador en teniendo la habilidad de completar dos instrucciones en un solo ciclo del reloj aunque para hacer posible la ejecución simultánea, ambas instrucciones deben ser completamente definibles por el microprocesador.

El Pentium también apoya que los pipelining pero sus capacidades de la ejecución necesitan la presencia de

dos precargas de la

tubería el instrucciones siendo para ejecutar.

Mientras la tubería "U" puede ejecutar cualquier x86 instrucción la tubería "V" sólo puede hacerlo con instrucciones simples combinándolos con otros.

Además el Cpu lleva a cabo una nueva unidad nombró BTB (Rama el Pulidor Designado) teniendo el funciones para predecir los resultados de saltos condicionales que, a menudo, ocurra durante la ejecución del código. Cuando cualquiera de estas condiciones pasa que el microprocesador debe determinar en que la dirección de la dirección el flujo del programa y, porque estas condiciones pueden detener la ejecución temporalmente, la unidad de Predicciones de Rama hace un trabajo permitiendo fino para preparar las próximas instrucciones de antemano.

Al Pentium se proporciona también funciones mejores para controlar su throughputs y integridad del sistema: además lleva a cabo una paridad verifique eso está ejecutando todo el tiempo que un byte es transferido en el bus externo mientras, internamente, este cheque se realiza en el Cache de memoria, registros y código de ROM.

CPU AMD K5

Los K5, hizo por 4,3 millones de transistores y un paquete PGA (Serie de Reja de Pin) o SPGA (Se tambaleó Serie de Reja de Pin) de 296 pin, presento las características siguientes:

Enchufe de Pentium y compatibilidad del registro;

Dos tubería del entero a cinco fases;

FPU integrado;

Ejecución descompuesta y especulativa;

Registro renombrando, predicción de la rama dinámica y datos remitiendo;

16 kbytes codifican Cache y 8 Cache de datos de Kbytes;

Páginas con 4 Kbytes y 4 Mbytes;

Proporcione a 3 voltio;

Es un quinto superscalar de la generación Cpu capaz ejecutar a cuatro instrucciones durante todos los ciclos del reloj y con tal de que con un grano de RISC.

También este microprocesador, como el Pentium y por otra

parte del Cyrix 6x86, no ejecuta directamente las x86 instrucciones pero, antes de hacerlo, los convierte.

En funcionamientos del entero los K5 se comportan exactamente como un Pentium de frecuencia equivalente sobre el throughputs, mientras en punto flotante los throughputs están que los decidiendo bajan.

CPU Cyrix 6x86

El Cyrix 6x86, hizo por 3 millones de transistores y un paquete PGA (Serie de Reja de Pin) de 296 pin, presento las características siguientes:

Pin-a-pin de compatibilidad lleno con Pentium (necesita el ZIF socket-7).

Dos Pipelines a siete fases.

Bus externo a 75 Mhz.

Proporcione a 3,3 voltio.

Cache interior de 16 Kbyte (se unificó para los datos y instrucciones).

Registro que renombra (capacidad de acostumbrar a

32 registros en lugar de 8 según x86 especificaciones).

Esta generación del quinto que Cpu parece poder ejecutar dos instrucciones durante todos los ciclos del reloj aunque requiere un motherboard y un BIOS con apoyo lleno por el "Modo del Estallido Lineal" (una manera a refuerce su throughputs).

Por otra parte de Pentium, este Cpu ejecuta el software sin la necesidad de una nueva recopilación ofertas la capacidad para ejecutar, simultáneamente, el entero y instrucciones del punto flotantes.

Estas características hacen los 6x86 sumamente eficaz y rápido en los funcionamientos del entero (para que, usando 16 aplicaciones del bit, el throughputs es mejor que uno proporcionado por un Pentium a frecuencia superior que 30%). Las desventajas principales no son representadas por una

unidad del punto flotante muy eficaz y por una dispersión de poder que, debido a la arquitectura interior diferente, excede los 20 vatios.

CPU Pentium Profesional

El Pentium En pro de, hizo por 5,5 millones de transistores

(15,5 millones con 256 Kbyte Cache L2, 31 millones con 512 Kbyte Cache L2) y un paquete a 387 pin, presento las características siguientes:

Ninguna compatibilidad con Pentium (necesita el ZIF socket-8):

Cache nivelado 2 construyó en el mismo paquete (el Cache trabaja a la misma frecuencia interior de microprocesador).

Pipeline a 12 fases.

Nueva unidad del punto flotante.

Registro que renombra (posibilidad de acostumbrar a

40 registros en lugar de 8 según x86 especificaciones).

Habilidad de trabajar en un multiprocesador (a cuatro Cpu) la configuración.

Controlador de la interrupción programable avanzado (APIC).

Es una sexta generación Cpu, superscalar y superpipelined, capaz para ejecutar a tres instrucciones durante todos los ciclos del reloj. La integración de Cache del nivel 2 en el mismo paquete hace el Cpu conveniente, sobre todo para el SMP (Multiprocesamiento Simétrico) los sistemas, porque cada microprocesador siempre puede usar su propio Cache que reduce de esta manera el acceso a los recursos compartido.

Una otra mejora afecta el bus del sistema que se pone capaz aceptar, simultáneamente, más demandas de acceso y decide el su prioridad. El Profesional de Pentium da énfasis a la evolución hacia la arquitectura de RISC: el grano presenta algunos circuitos del decodificador que traducen el juego x86 tan por consiguiente en las instrucciones de RISC cortas los rasgos en funcionamientos del entero se puestos igual a aquéllos proporcionados por microprocesador de RISC mientras, en punto flotante, ellos permanecen más bajos.

Al Cpu se proporciona también una habilidad de la ejecución dinámica fuerte: mirando muchas instrucciones delante el indicador actual el microprocesador siempre puede analizar y puede predecir el flujo para determinar la ejecución mejor. Además apoya el descompuesto y la Ejecución Especulativa: el primero representa la posibilidad de una ejecución encima de la sucesión impuesta por el programa mientras el segundo es el capacidad de ejecutar algunas instrucciones de antemano.

Para todas estas razones el Cpu lleva a cabo una Predicción de la Rama eficaz que mejora el algoritmo relacionando y garantías una precisión del resultado igual a 90%.

La limitación principal ocurre ejecutando 16 código del bit porque, en este caso, las actuaciones del El Profesional de Pentium es el mismo de aquéllos proporcionados por un Pentium de frecuencia igual.

CPU Pentium MMX

El Pentium con tecnología, sobre de MMX nombró P55C, hechos

por 4,5 millones de transistores, presento las características siguientes:

Las nuevas 57 instrucciones diseñaron para hacer más eficaz la ejecución de aplicaciones del multimedia.

Cache interior de 32 Kbyte (16 Kbyte para los datos, 16 Kbyte para las instrucciones).

Rama el Pulidor Designado más eficaz.

Suministro de poder dual (2,8 voltio para el centro – 3,3 voltio para I/O).

Pipeline a 6 fases.

La mejora de las actuaciones se logra a través del uso de

técnica especial llamó SIMD (Sola Instrucción los Datos Múltiples). Esto permite al Cpu la habilidad de manipular a 16 bloques de informaciones cada uno de ellos a 8 momento (mientras con Pentium normal la limitación es de dos bloques).

Esta mejora debe alcanzarse en cada aplicación que trata volumen grande de gráficos y sonido mientras la

limitación obvia es que el programa debe diseñarse para usar el nuevo juego de instrucciones del multimedia específicamente.

Sólo en este caso el aumento de throughputs, respetando al Pentium común, es considerable (la proporción tiene casi 60/70 %) mientras en otra aplicación la mejora está más limitada y aproximadamente 10/15%.

Sin embargo el nuevo microprocesador funciona en transparencia completa y no necesita un nuevo codifique recopilación para el software existiendo que porque la aplicación MMX–habilitó haga un sistema verifique, cargando los módulos de MMX, sólo en presencia de un apoyo específico por el Cpu.

CPU Pentium II

El Pentium II, hizo por 7,5 millones de transistores y un

paquete SEC (Solo Contacto del Borde), presento las características siguientes:

Suministro de poder dual (2,8 voltio para el centro – 3,3 voltio para I/O).

Cache interior de 32 Kbyte (16 Kbyte para los datos, 16 Kbyte para las instrucciones).

Cache de registros de segmento.

Juego lleno de instrucciones de MMX.

Registro que renombra (posibilidad de acostumbrar a 40 registros en lugar de 8 según x86 especificaciones).

Ejecución descompuesta y especulativa.

Esta sexta generación Cpu, superscalar y superpipelined, están disponibles en una tabla que integra también el Cache del nivel 2.

Sin embargo, el Cache nivelado 2 no se integra todavía en el microprocesador aunque funciona a la mitad de su frecuencia operativa interior.

La tabla se proporciona, al final, con un 242 conector del pin que inserta verticalmente en la nueva "Hendedura Uno" producido por Intel (necesita un apoyo por el motherboard).

Mejorar las actuaciones en la 16 ejecución de código de bit se ha adoptado, como en el Pentium, un Cache de registro de segmento. Además un nuevo tipo de bus, DIB llamado o Bus Independiente Dual, instrumentos un cauce dedicado al Cache y bus de paquetes de sistema capaz manejar, simultáneamente, más paralelo acceso (usando el sistema y el bus del Cache el ancho de banda localiza los 1,2 Gbyte/sec.).

Al contrario del Pentium En pro de, el Pentium II no

apoyan la cuatro configuración del microprocesador.

CPU AMD K6

El AMD K6, hizo por 8,8 millones de transistores y un paquete C–PGA (Serie de Reja de Pin Cerámica) a 321 pin, presento las características siguientes:

Frecuencias del reloj a 166,200 y 233 Mhz.

Pin-a-pin de compatibilidad lleno con Pentium(necesita el ZIF socket-7 y el apoyo por el BIOS por usar el "escriba asigne" el rasgo).

Velocidad del bus local a 66 Mhz.

Suministro de poder dual: 2,9 voltio para el centro – 3,3 voltio para el pin de I/O.

Primero el Cache nivelado de 64 Kbyte (32 Kbyte para los datos, 32 Kbyte para las instrucciones).

Set de instrucciones de MMX.

Pipeline a 6 fases.

7 unidades de ejecución paralela.

Pulidor centralizado para los funcionamientos de RISC.

Registro que renombra (acostumbrando a 48 registros en lugar de 8 según x86 especificaciones).

Ejecución descompuesta y especulativa.

El Cpu, basado en RISC86 arquitectura, es un superscalar de sexta generación capaz descifrar dos x86 instrucciones, generando a cuatro RISC las instrucciones interiores y ejecutando a seis, durante todos los ciclos del reloj.

Relacionando a RISC86 lógica, hay cuatro decodificador que actúa en pareja: el primero en dos sobre la mayoría instrucciones del punto comunes y flotantes, los otros sobre el menos común y más complejo instrucciones.

Hay también una unidad de Predicción de Rama sofisticada que garantiza una precisión del resultado igual a 95%.

Para este microprocesador AMD usa la versión 2 de P-valoración que clasifica los rasgos de Cpu relacionando a aquéllos proporcionados por un Pentium En pro de la misma configuración. Una limitación obvia es la imposibilidad a ser llevada a cabo en un sistema del multiprocesador.

AMD K6-2

Los K6-2 son una sexta generación que CPU hizo por 9,3 millones de transistores con las características siguientes:

0,25 tecnología de la micra;

Compatibilidad llena con Socket-7 arquitectura;

Apoye para la frecuencia del bus local de 66 y 100 Mhz;

Frecuencia interior de 266,300 y 333 Mhz;

Suministro de poder dual: 2,2 voltio (Centro) y 3,3 Voltio (Input/Output);

¡nuevo 3DNow! tecnología;

A este nuevo procesador del superscalar se proporciona todos los rasgos típicos de la generación del sexto Cpu como el grano de RISC (tiene la habilidad de ejecutar a tres instrucción durante todos los ciclos del reloj), la unidad de predicción de rama eficaz, ejecución especulativa y descompuesta, registra renombramiento, etc.

Sin embargo, el procesador caracteriza principalmente en la presencia de nuevas 21 instrucciones que constituyen ¡el nuevo 3dNow! tecnología y se asigna para radicalmente mejorar la 3D actuación.

Es más el Cpu tiene un nuevos superscalar la unidad de MMX

capaz ejecutar a dos instrucciones para todos los ciclos del reloj mientras el FPU no es ningún pipelined (como el predecesor K6). ¡Como la tecnología de MMX, los 3dNow! bases en el SIMD (Instrucción Simple los Datos Múltiples) idea que es la habilidad de ejecutar la misma instrucción simultáneamente en más datos.

¡Sin embargo, diferente la tecnología de MMX que involucra

sólo los funcionamientos del entero, los 3dNow! las instrucciones tienen como objetos los datos del punto flotantes: ¡por consiguiente el procesador puede ahora guardar dos 32 bit las instrucciones del punto flotantes en un 64 paquete del bit y, entonces, ejecute a dos 3dNow! instrucciones que son el equivalente de cuatro instrucciones del punto flotantes.

Esto puede ayudar entender cómo este nuevo microprocesador

alcanza, a 333 Mhz, un increíble ancho de banda de a 1,3 Gflops que les dejan II a un Pentium a 400 Mhz a la proporción más baja de 0,5 Gflops.

En otra mano el poder de las nuevas 3D instrucciones puso el hecho a la memorias que ellos actúan en la construcción geométrica de la 3D escena y, así, sólo donde una eficacia más alta en los funcionamientos del punto flotantes adquiere más importancia y puede constituir una diferencia pronunciada por consiguiente.

Aunque los nuevos 3D restos de tecnología lleno transparente para el software, exige en el orden alcanzar la actuación mejor, un apoyo adecuado por la aplicación, el API 3D (empezando del DirectX 6.0) y el chófer vídeo.

CPU Cyrix 6x86MX

El Cpu 6x86MX, hecho por 6,5 millones de transistores presento las características siguientes:

Cache interior de 64 Kbyte (se unificó para los datos y instrucciones).

Bus externo a 75 Mhz.

Suministro de poder dual (2,8 voltio para el centro – 3,3 para I/O)

Pin-a-pin de compatibilidad full con Pentium(necesita el ZIF socket-7 y el apoyo por el motherboard al Modo del Estallido Lineal).

Set lleno de instrucciones de MMX.

Registro que renombra (la posibilidad de usar varios general registra superior que aquéllos pidieron a través de x86 especificaciones)

Predicción de la rama, ejecución descompuesta y Especulativa,

Es una sexta generación Cpu, superscalar y superpipelined, equipó con una memoria la unidad gerente particularmente eficaz porque capaz para reducir el número de acceso al RAM externo más lento. Las pruebas preliminares han subrayado que los 6x86MX, a la paridad de frecuencia y relacionando a las aplicaciones comunes, parece o ser el microprocesador más eficaz en código 16 bit o en código de 32 bit.

Parece ser imposible haga los mismos comentarios sobre el punto flotante y las unidades de MMX mientras una la limitación principal es la incapacidad para operar en una configuración del multiprocesamiento simétrica.

CONCLUSIONES

Cada 18 meses los microprocesadores doblan su velocidad. En tal sentido dentro de 25 años una computadora será más poderosa que todas las que estén instaladas actualmente en el Silicon Valley californiano. La Performance de estos pequeños y grandes artefactos ha mejorado 25.000 veces en sus 25 años de vida y he aquí algunas prospectivas :

Los microprocesadores del futuro brindarán aún mas recursos a la memoria cache para acercar la actual brecha de velocidad que existe entre ambos.

Los modernos microprocesadores superescalables desempeñan desde tres a seis instrucciones por ciclo de reloj. Por tal motivo, a 250 MHz, un microprocesador superescalable de cuatro direcciones puede ejecutar un billón de instrucciones por segundo. Un procesador del siglo XXI podría lanzar docenas de instrucciones en cada paso.

Algunos sostienen que la tecnología óptica reemplazará inevitablemente a la tecnología electrónica. Las computadoras podrían ser, por ejemplo, construidas completamente de materiales biológicos.

Pipelining, organizaciones superescalares y cachés continuarán protagonizando los avances de la tecnología, estando presente también el multiprocesamiento paralelo.

Probablemente, los microprocesadores existan en varias formas, desde llaves de luz páginas de papel. En el espectro de aplicaciones, estas extraordinarias unidades soportarán desde reconocimiento de voz hasta realidad virtual.

En el futuro cercano, los procesadores y memorias convergirán en un chip, tal como en su momento el microprocesador unió componentes separados en un solo chip. Esto permitirá achicar la distancia entre el procesado y la memoria y sacar ventajas del procesamiento en paralelo, amortizar los costos y usar a pleno la cantidad de transistores de un chip.

El microprocesador del siglo XXI será una computadora completa. Podría denominársela IRAM, para expresar Intelligent Random Access Memory : la mayoría de los transistores en este chip dependerán de la memoria. Mientras que los microprocesadores actuales están asentados sobre cientos de cables para conectar a los chips de memoria externa, los IRAMs no necesitarán más que una red y un cable de electricidad. Todas las unidades de entrada y salida estarán vinculadas a ellos vía red. Si precisan más memoria, tendrán mas poder de procesamiento y viceversa. Mantendrán la capacidad de memoria y velocidad de procesamiento en equilibrio.

Los microprocesadores IRAMs son la arquitectura ideal para el procesamiento en paralelo. Debido a que requerirían tan pocas conexiones externas, estos chips podrían ser extraordinariamente pequeños. Podríamos estar ante microprocesadores más pequeños que el antiguo 4004 de Intel. Si el procesamiento en paralelo prospera, este mar de transistores podría ser, además frecuentado por múltiples procesadores en un solo chip, creándose el "micromultiprocesador".

La Performance de los microprocesadores se duplicará cada 18 meses cerca del giro del milenio. Una comparación no descabellada para el primer cuarto del siglo venidero señala que una computadora del 2020 será tan poderosa como todas las que están instaladas en este momento en Silicon Valley.