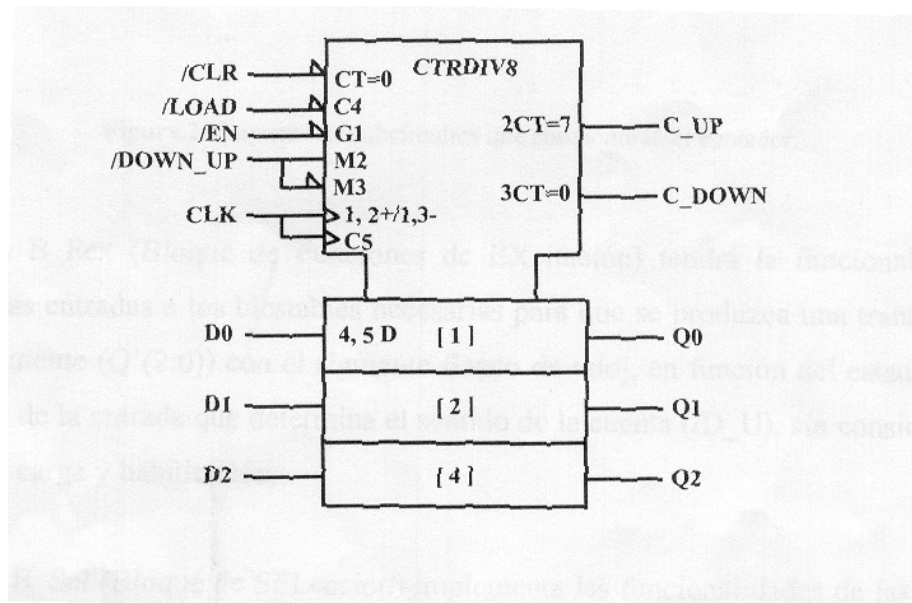


Introducción

Hemos realizado el diseño y la implementación de un contador síncrono ascendente / descendente universal de 3 bits admitiendo carga de datos en paralelo. El diseño debe contar de 0 a 7 ó de 7 a 0 según le indiquemos al circuito mediante una señal de habilitación de cuenta ascendente o descendente respectivamente.

Especificación del diseño

La figura 1 muestra el símbolo ANSI/IEEE del contador que debemos implementar en este diseño. Este sistema es un contador síncrono universal de 3 bits. Como puede observarse en el dibujo del contador, la funcionalidad de cada una de las señales vienen descritas bajo la figura.



/CLR : Señal de puesta a cero, asíncrona

/LOAD: Señal de carga paralelo síncrona.

/EN: Señal de activación de cuenta

/DOWN-UP: Control de cuenta descendente (si 0) o ascendente (si 1)

A lo largo de este documento también se empleará la etiqueta /D-U para referirse a esta misma señal.

CLK: Señal de sincronización (reloj).

D(2:0): 3 bits de dato para carga paralelo.

C-UP: Señal de acarreo para la cuenta ascendente.

C-DOWN: Señal de acarreo para la cuenta descendente.

Q(2:0): Salidas del contador.

Material empleado.

- 2 multiplexores SN74LS151.
- 2 multiplexores SN74LS153
- 2 integrados SN74LS74AL(3 Biestables tipo D usados.
- 1 integrado SN74LS21(2 puertas AND de 4 entradas y dos salidas).
- 1 integrado SN74LS04AN (1 inversor usado).
- 6 diodos LED.
- 6 resistencias de 1Kohm.
- 2 pulsadores.
- 1 rack de 4 conmutadores.
- 10 m de cable.
- 2 placas Protoboard.

Nota: No han sido necesarios los condensadores para evitar el efecto rebote de los pulsadores, porque no hemos tenido problemas con ellos.

Diseño Lógico del contador

A continuación se muestra el diseño lógico global del

circuito.

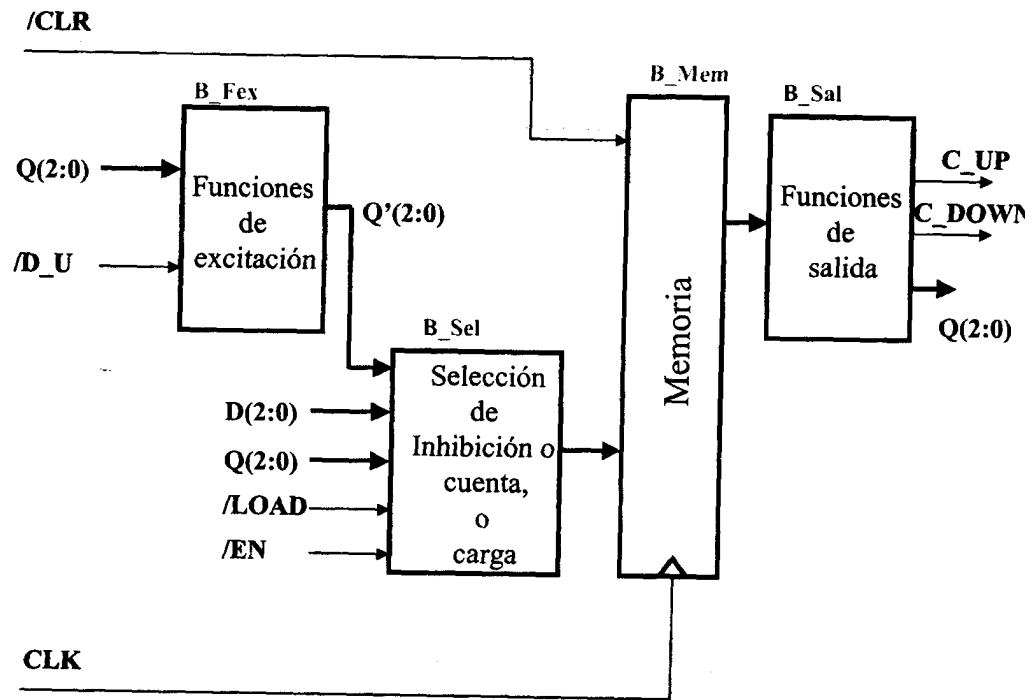
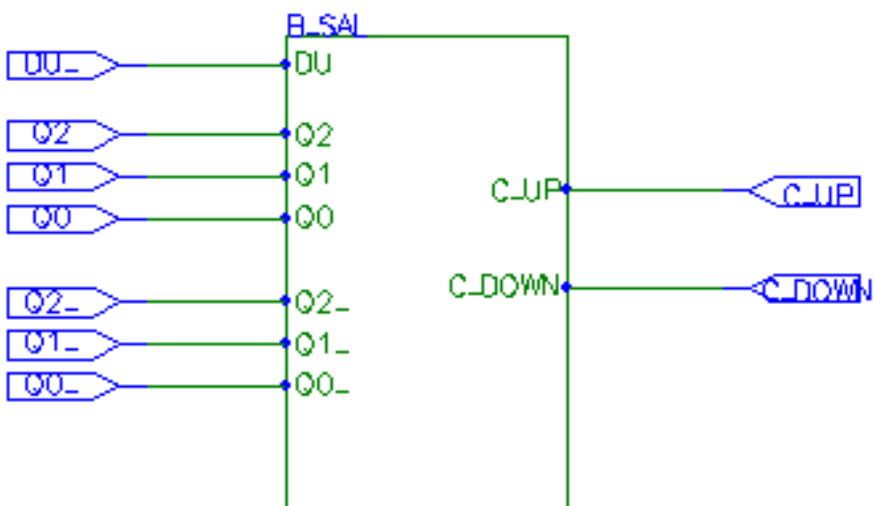
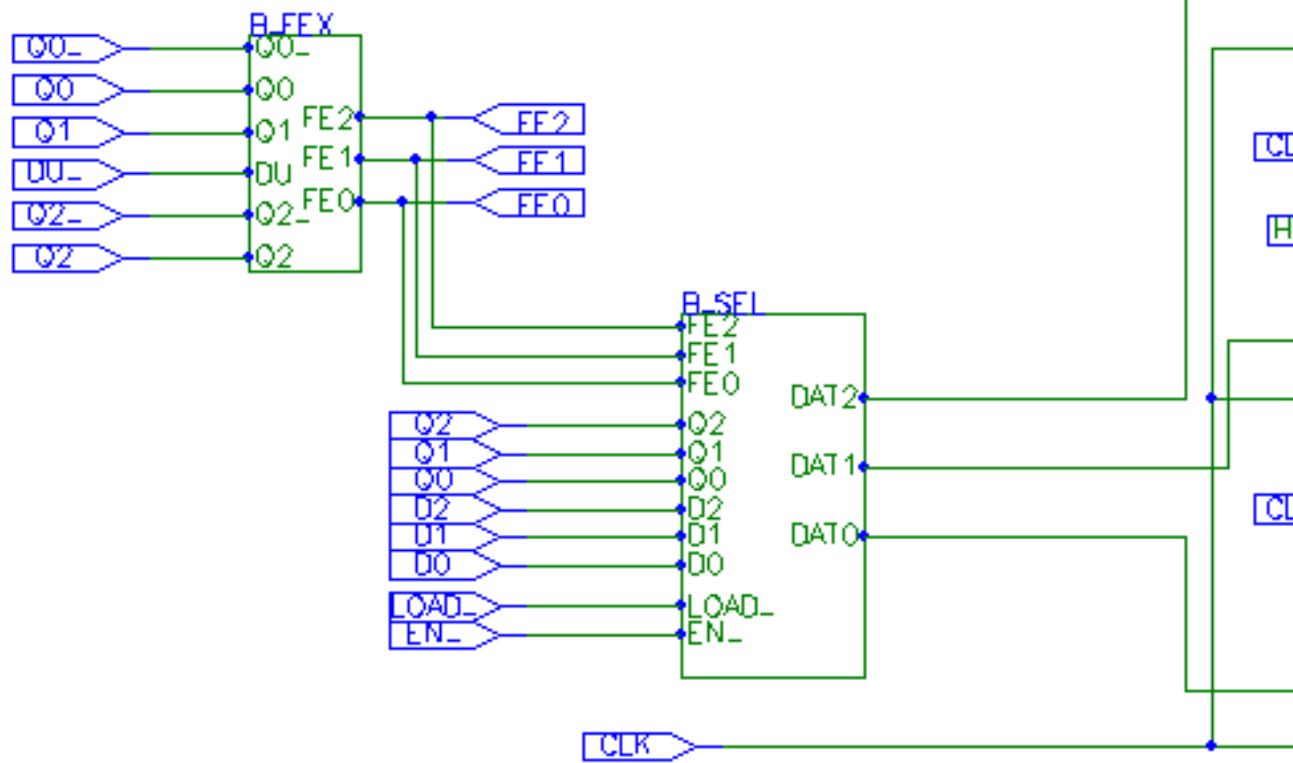


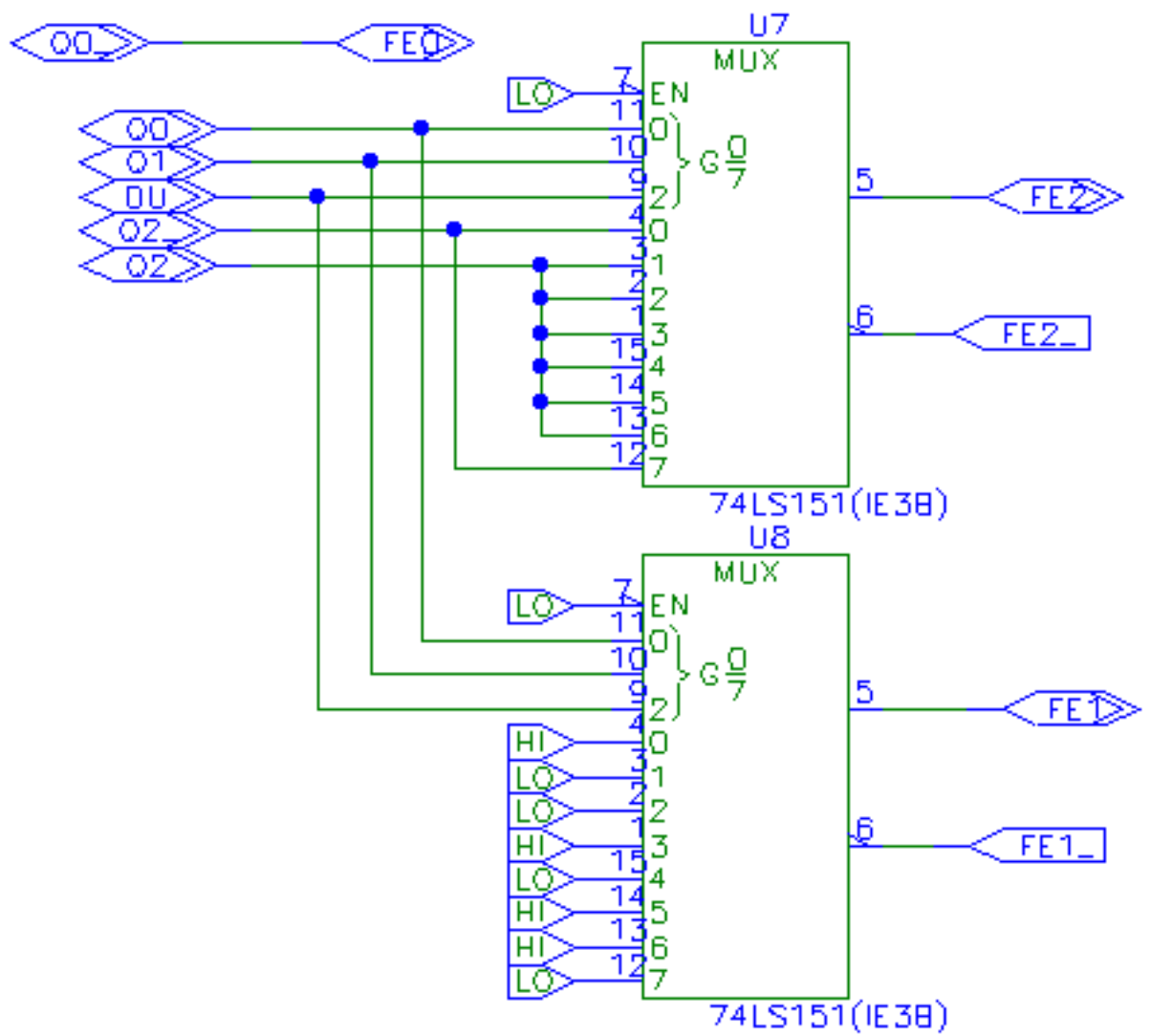
Figura 2. Esquema de subcircuitos que compondrán el contador.

Y ahora mas detallado.

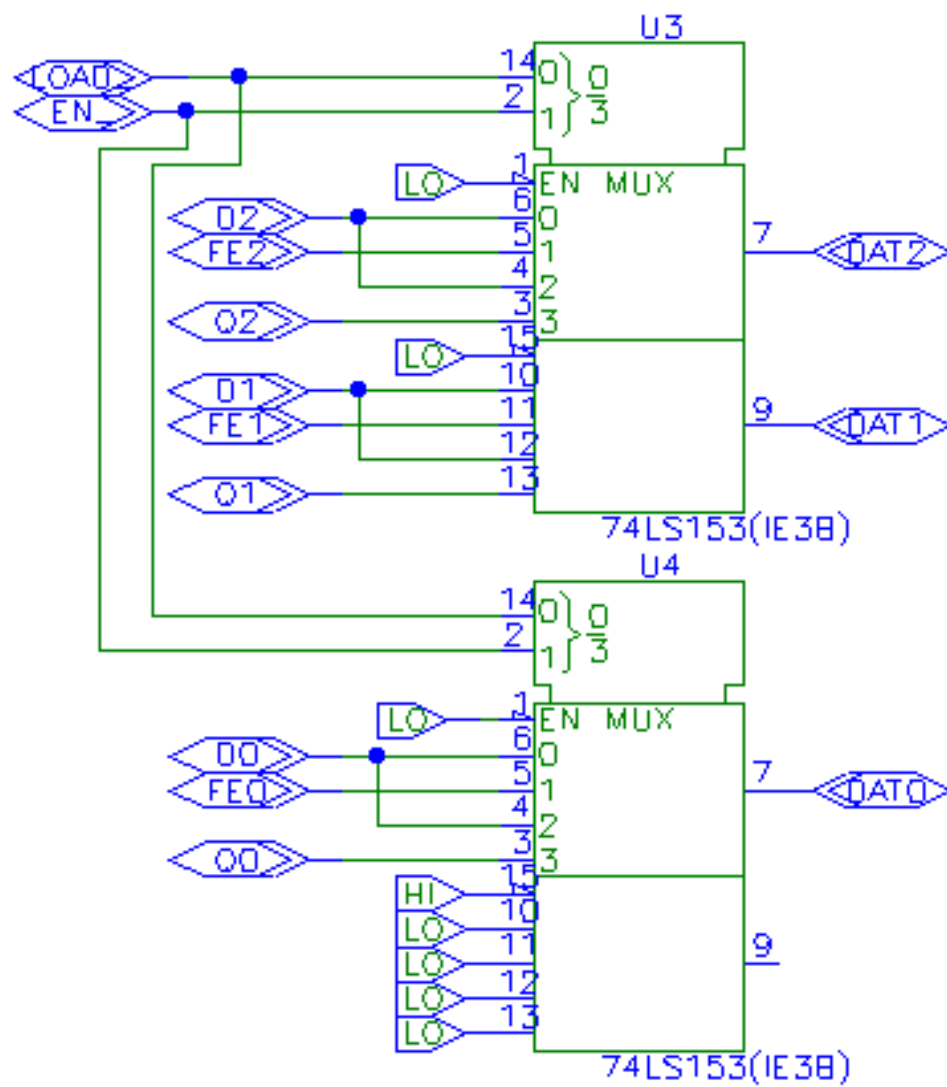


A continuación le mostramos el contenido de cada uno de los bloques.

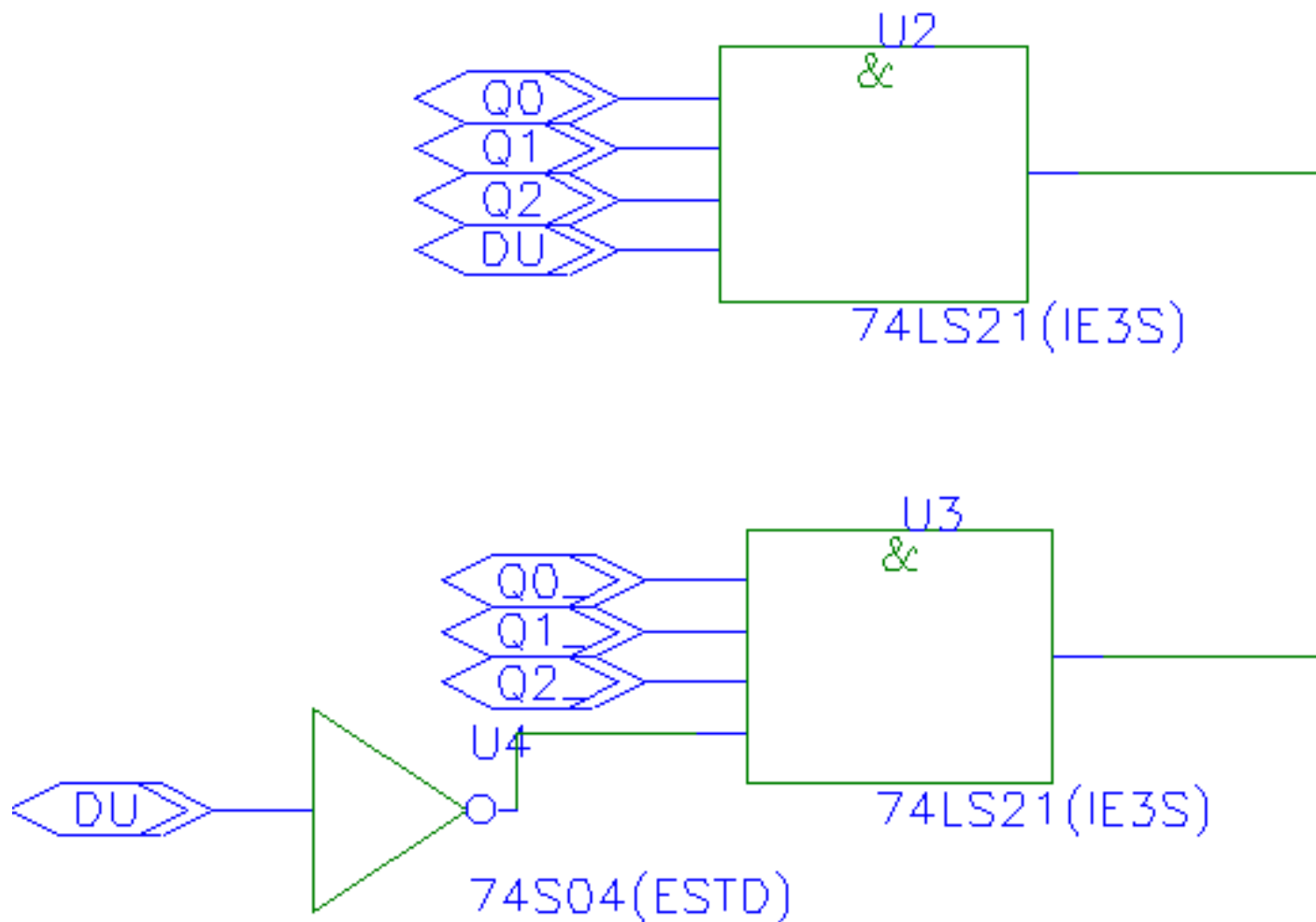
–Bloque B_FEX



–Bloque B_Sel.



-Bloque B_Salida.



Cada diodo se implementará en serie con una resistencia de 1Kohm en las salidas Q(2..0) poniéndose el cátodo a la resistencia conectada a la salida y el ánodo a tierra. Los dos siguientes se implementarán de igual manera a las salidas C_UP y C_DOWN.

El ultimo diodo se implementará en serie con la señal /EN, estando este encendido cuando la señal /EN = 0.

Funcionamiento del circuito.

El circuito se alimentará con una señal continua de 5 voltios y la señal de reloj CLK será una señal cuadrada de 1Hz y 5 Vp.

La señal de inhibición a nivel bajo permitirá que el circuito cuente (/EN).

La señal de /CLR que actúa a nivel bajo reseteará los biestables (poniendo la cuenta a cero).

La señal /LOAD cargará los datos a las entradas de los biestables.

Los datos D(2..0) serán activados mediante el rack de conmutadores.

La señal DOWN/UP (D_U) se encargará de que el contador efectúe cuenta ascendente (D_U = 1) o

descendente ($D_U = 0$).

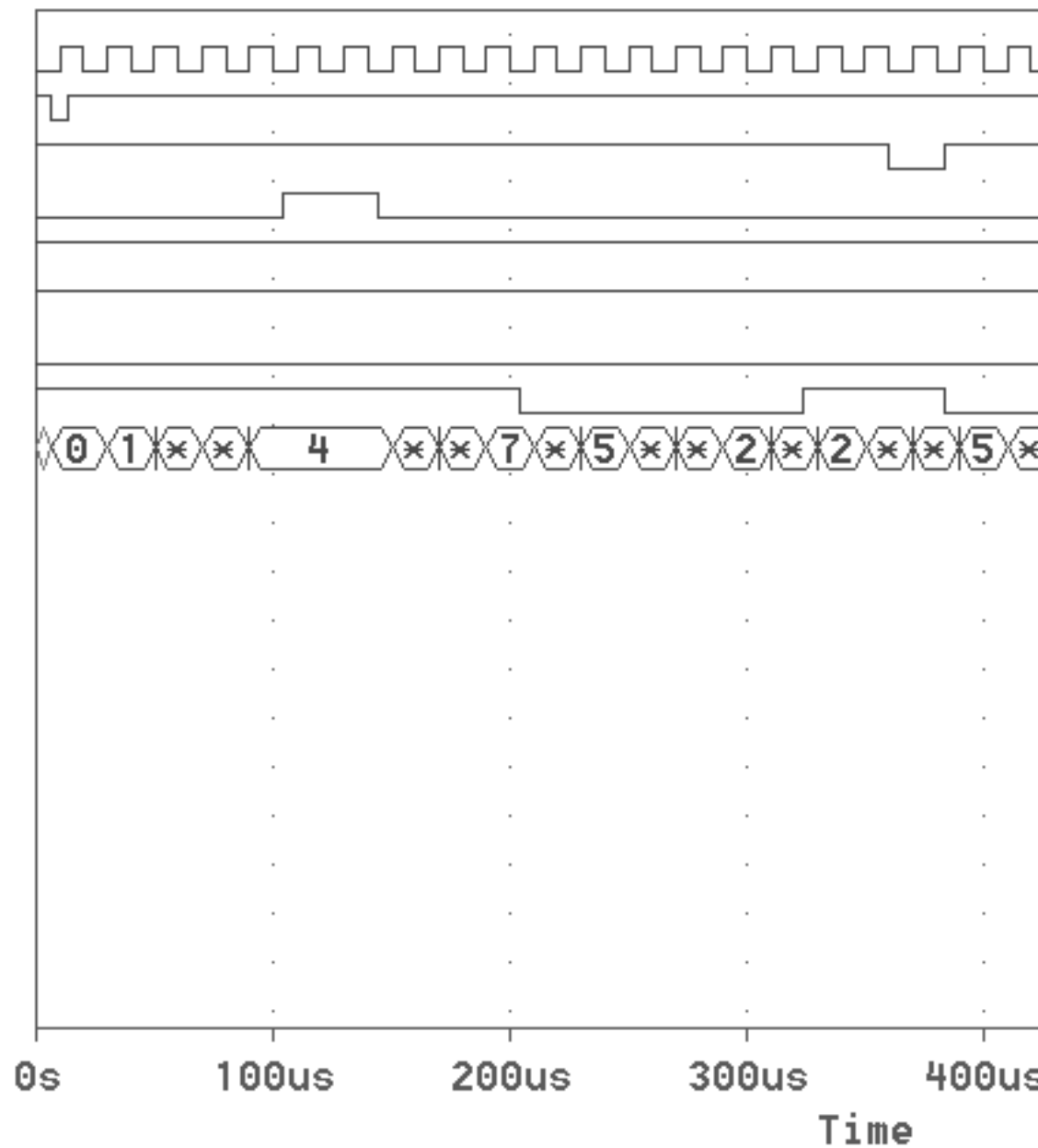
La visualización del circuito se hará mediante los diodos rojos conectados a Q(2..0) que nos proporcionaran en binario natural el estado actual. Los diodos conectados a C_UP y C_DOWN nos mostrarán cuando el circuito llegue al final de cuenta (caso que sea ascendente la cuenta, el diodo que se iluminará será el C_UP).

Simulación del circuito mediante PROBE

Probe - [E:\CON_UNI.DAT]

File Edit Trace Plot Zoom Tools Window Help

CLK
CLR_
LOAD_
EN_
D2
D1
D0
DU_
{ Q2 Q1

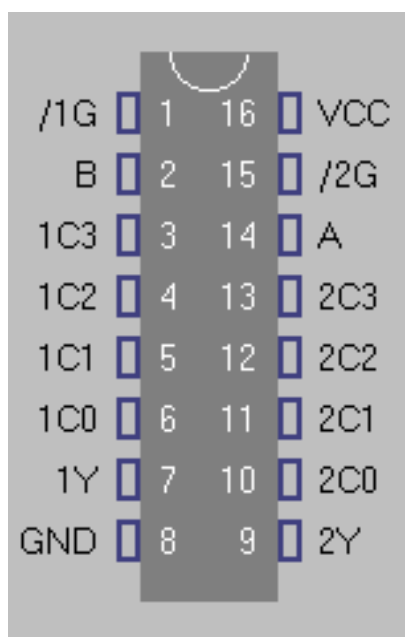


Características de los integrados.

Device: SN74S153 **Pin:** 16
Function: Dual 4-line to 1-line data selectors / multiplexers
Output: 2-State **Temperature:** 0°C to 70°C
Supply: 5V

		min	typ	max	
Supply current:				70.00	mA
Input current:				1.000	mA
Output current:	High			-1	mA
	Low			20	mA
Propagation delay:	Tplh	-	6.0	9.0	ns
	Tphl	-	6.0	9.0	ns

Note: Separate Strobe Input Provided



Device: SN74LS151 **Pin:** 16
Function: 8-line to 1-line data selector / multiplexer
Output: 2-State

Temperature
 Supply

		min	typ	max	
Supply current:				10.00	mA
Input current:				0.100	mA
Output current:	High			-0.4	mA
	Low			8	mA
Propagation delay:	Tplh	-	20.0	32.0	ns
	Tphl	-	16.0	26.0	ns

Note: Separate Strobe Input Provided

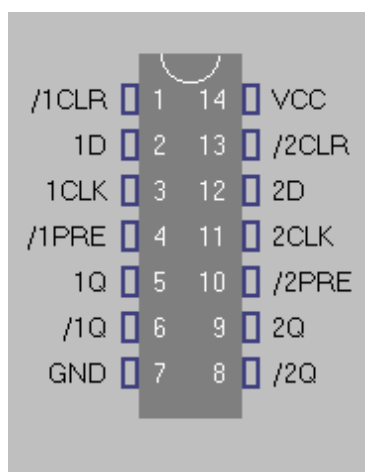
D3	1	16	VCC
D2	2	15	D4
D1	3	14	D5
D0	4	13	D6
Y	5	12	D7
W	6	11	A
/G	7	10	B
GND	8	9	C

Device: SN74LS21 **Pin:** 14 **Gates:** 2
Function: 4-input positive-AND gates
Output: 2-State

Temperature
Supply

		min	typ	max	
Supply current:				3.40	mA
Input current:				0.100	mA
Output current:	High			-0.4	mA
	Low			8	mA
Propagation delay: (Any input to Y)	Tplh	-	8.0	15.0	ns
	Tphl	-	10.0	20.0	ns

Positive logic: $Y = ABCD$



Device: SN74LS04
Function: Inverters

Pin: 14

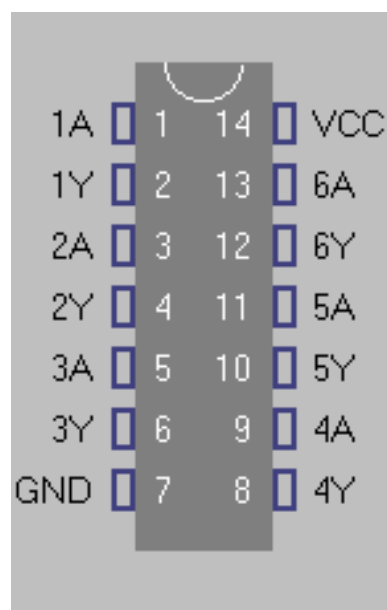
Gates: 6

Output: 2-State

Temperature

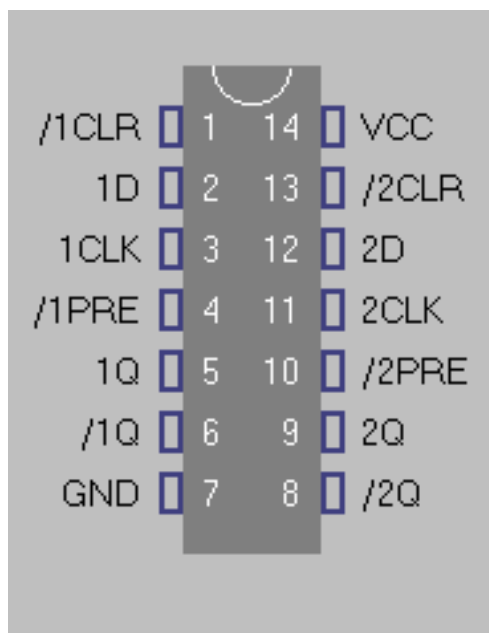
Supply V

		min	typ	max	
Supply current:				4.50	mA
Input current:				0.100	mA
Output current:	High			-0.4	mA
	Low			8	mA
Propagation delay: (A to Y)	Tplh	-	9.0	15.0	ns
	Tphl	-	10.0	15.0	ns
Positive logic:	$Y = \bar{A}$				



Device: SN74LS74A **Pin:** 14 **Bits:** 2
Function: D-type pos.-edge-triggered flip-flops w.
Output: 3-State **Temperature**
Supply

		min	typ	max	
Supply current:	active			8.00	mA
Input current:				0.100	mA
Output current:	High			-0.4	mA
	Low			8	mA
Propagation delay:	Tplh	-	13.0	25.0	ns
	Tphl	-	25.0	40.0	ns



INDICE

1.INTRODUCCIÓN

2.ESPECIFICACIÓN DEL DISEÑO.

3.MATERIAL EMPLEADO.

4.DISEÑO LÓGICO DEL CONTADOR.

4.1.B_FEX

4.2.B_SEL.

4.3.B_SAL

5. FUNCIONAMIENTO DEL CIRCUITO.

6.SIMULACIÓN CON PROBE.

7.CARACTERÍSTICAS INTEGRADOS.

1ºA SISTEMAS ELECTRÓNICOS