

SISTEMAS DE CONTROL

Informe del Proyecto

Sincronismo de Red

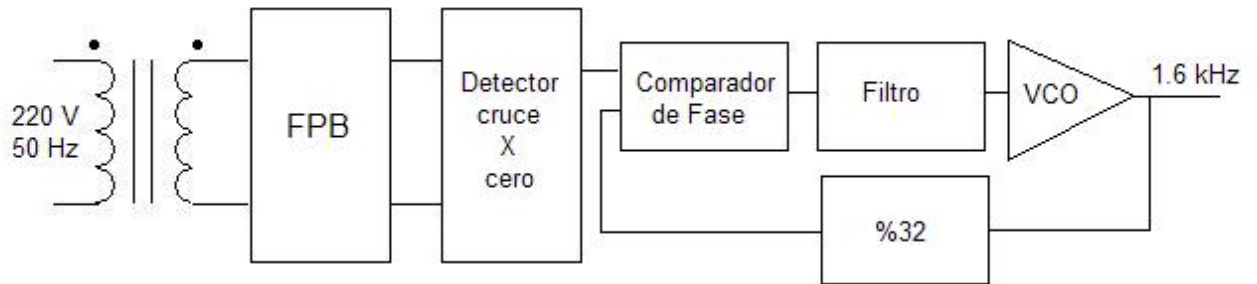
Alumno:

Matricula:

Año: 2002

Objetivo del Proyecto:

El objetivo del proyecto fue diseñar y montar un sistema que entregue una frecuencia de salida que sea 32 veces la frecuencia de línea con el siguiente esquema:



Los requerimientos que debía cumplir:

- Margen de fase superior a 45°
- Error en estado estacionario a la rampa nulo
- Implementar con el integrado CD4046

Para lograrlo, los pasos del diseño fueron:

- Diseño de la fuente
- Diseño del filtro de línea
- Diseño del detector
- Diseño del lazo PLL
- Montaje del circuito en protoboard
- Medicion de formas de onda

Diseño de la fuente:

Elegí la tensión de alimentación de todo el circuito de 12V por contar con un regulador 7812 y un transformador apropiado.

Se rectifican las dos fases del secundario para cargar el capacitor de fuente. Se logra así una tensión continua con ripple cercana a 17V con la que se ingresa al rectificador logrando a la salida los 12V de continua deseados.

Componentes:

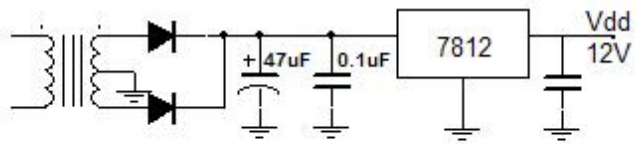
Transformador: 220V/12+12 1A

Diodos N4007

Capacitor 47 uF

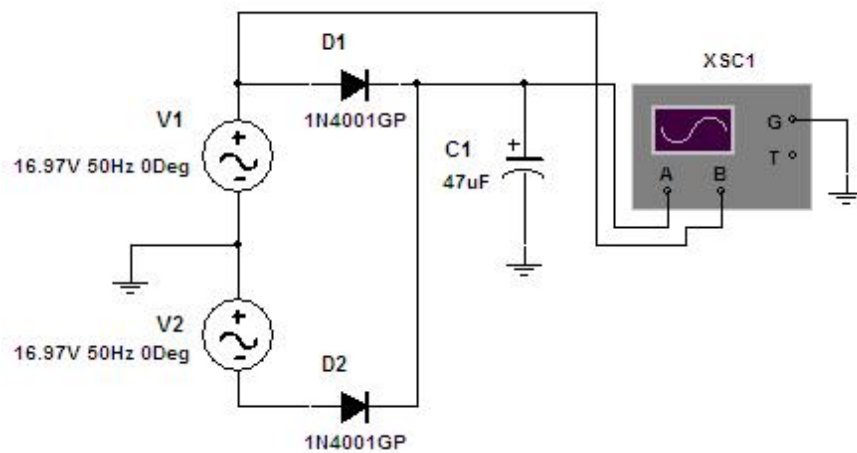
Regulador 7812

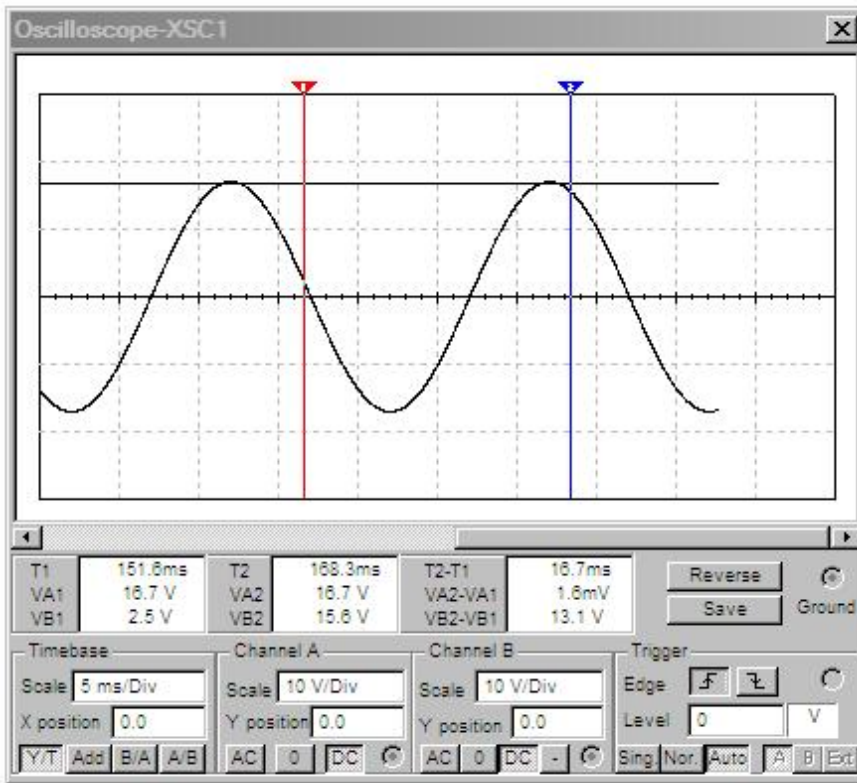
Capacitores



De una de las salidas del secundario del transformador se toma la señal que, previo filtrado, ingresara al detector para ser la referencia del lazo de enganche de fase.

Simulación de la rectificación y carga del capacitor





Diseño del filtro:

El filtro se necesita para eliminar las distorsiones de la red de alimentación y así lograr una señal lo mas parecida a una senoidal posible.

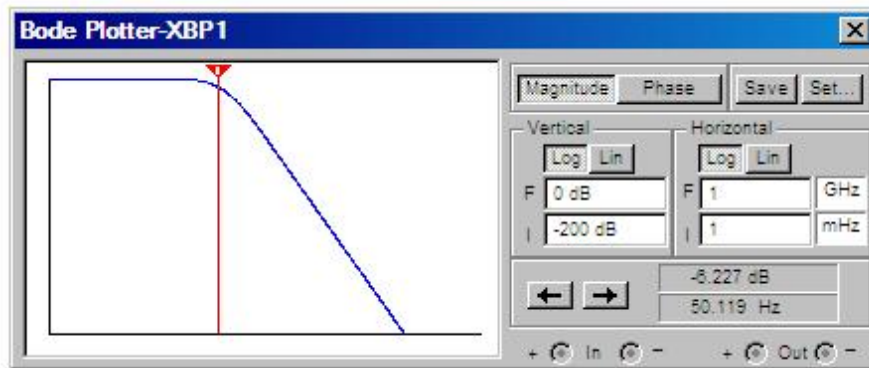
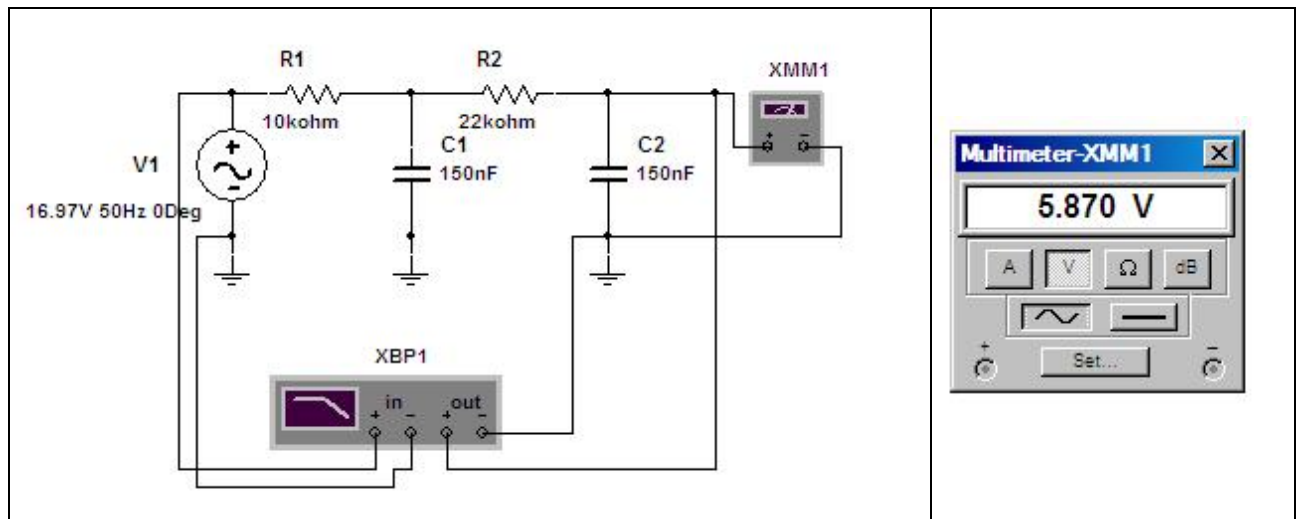
Diseño una etapa con un circuito RC con frecuencia de corte 50Hz

$\frac{V2}{V1} = \frac{\frac{1}{SC}}{R + \frac{1}{SC}} = \frac{1}{1 + SCR}$ $f_p = 50 \text{ Hz} = \frac{1}{2 \pi RC}$ $R = \frac{1}{2 \pi f_p C}$ Adopto C=150nF Luego R=22k	
---	--

Se requieren al menos dos etapas para eliminar adecuadamente el ruido de linea.

Al conectar en cascada dos de las etapas calculadas los efectos de carga producen que a 50Hz la atenuación de la señal que supera los 9 dB. Para solucionar esto cambio el valor de una de las resistencias a 10K, obteniendo así una atenuación cercana a los 6 dB.

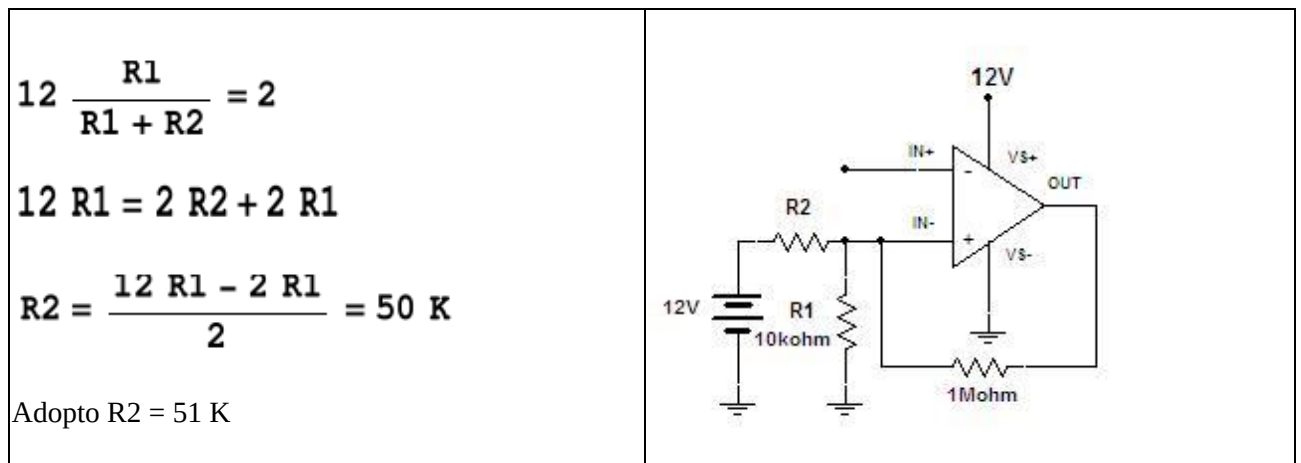
Simulación del filtro de linea



Diseño del detector:

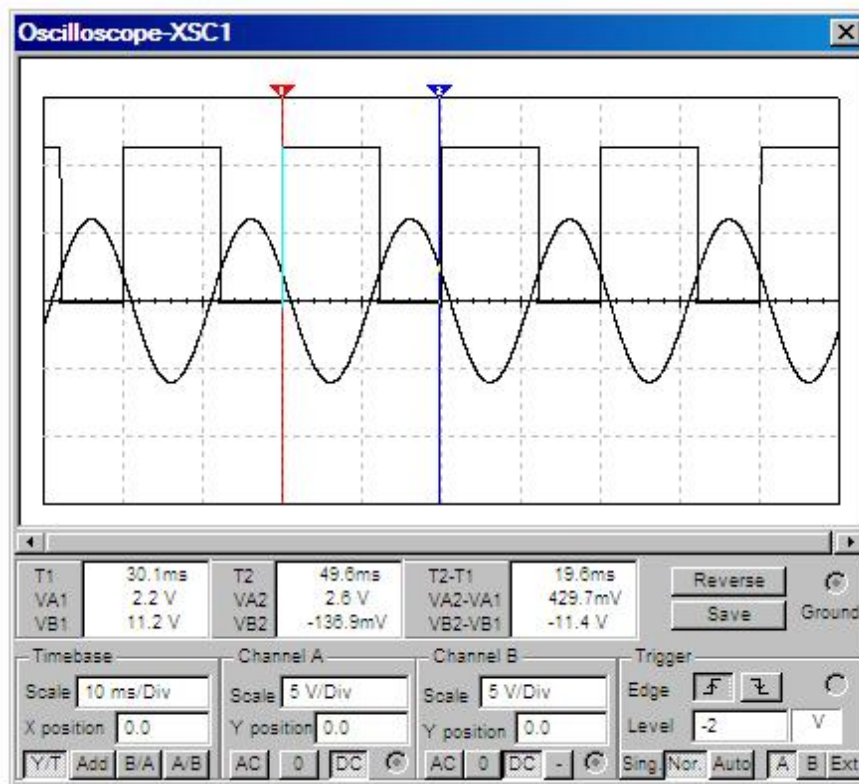
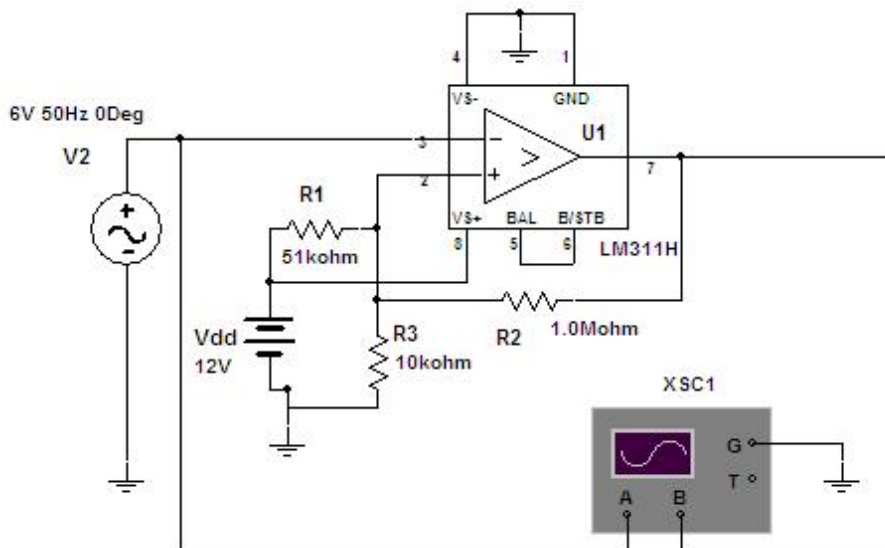
Uso el comparador LM311

Como se va usar el comparador de fase II del PLL y este trabaja con los flancos ascendentes de la señal, diseño para que detecte el cruce por mas o menos 2V y con histeresis para asi minimizar los efectos del ruido que puedan producir disparos erroneos del comparador



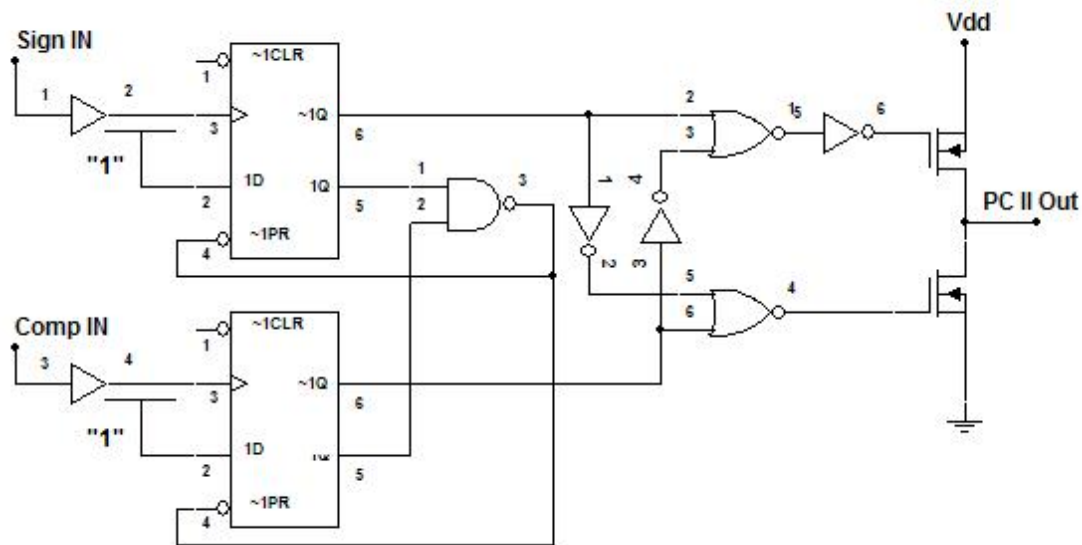
Por motivos practicos, se agrego un diodo de señal con una resistencia de 10k a masa, en serie con la señal de entrada, para evitar que ingrese al comparador el ciclo negativo de la señal restandole velocidad. Tambien se agrego una resistencia de pull-up de 10k a su salida.

Simulación del detector



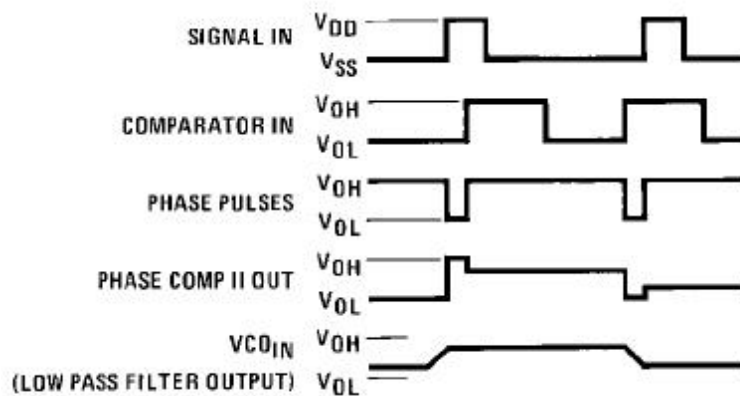
Diseño del PLL:

Se utiliza el circuito integrado CD4046

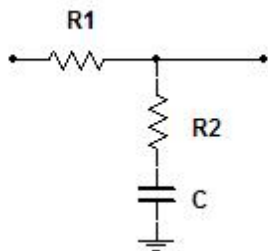


Usando el comparador de fase II no existe desfase entre SIGin y COMPin en todo el rango de frecuencia del VCO. El rango de enganche del PLL es igual al de captura y es independiente del filtro pasabajos. En ausencia de señal de entrada el VCO se ajusta a su frecuencia minima.

Formas de onda tipicas en condicion de enganche



El filtro pasabajos que se utiliza es



Suponiendo que el tiempo correspondiente al desfase entre señales comparado con el periodo de las señales considero que el capacitor se carga y descarga a corriente constante

$$I = \frac{V_{dd}}{2(R_1 + R_2)}$$

Como la corriente de carga y descarga es la misma se elige como punto de operación $V_{dd}/2$ para obtener una salida simétrica.

El capacitor se carga linealmente durante un tiempo pequeño, entonces la transferencia del comparador y el filtro es:

$$V_{VCO} = \left(R_2 + \frac{1}{SC_2} \right) I \approx \frac{V_{dd}}{2(R_1 + R_2)} \cdot \frac{DT}{T}$$

$$wDT = Ds \quad DT = \frac{Ds}{2p} T$$

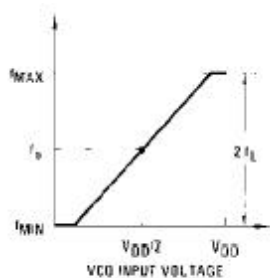
$$V_{VCO} = \frac{V_{dd}}{4p} \left(\frac{1 + SC_2 R_2}{R_1 + R_2} \right)$$

La comparación se realiza con los flancos una vez por periodo, el sistema se asemeja a un muestreo e introduce un retardo igual al de un ROC.

Funcionamiento del VCO:

El oscilador controlado por tensión produce una señal de salida cuya frecuencia está determinada por la tensión presente en su entrada.

El VCO requiere que se le conecten un capacitor y una resistencia (R_1) externos para determinar su rango de frecuencia. Otro resistor externo (R_2) permite tener un offset de frecuencia (Frecuencia mínima). En este caso no se utilizó para lograr el mayor rango dinámico y para no tener señal de salida en ausencia de entrada.



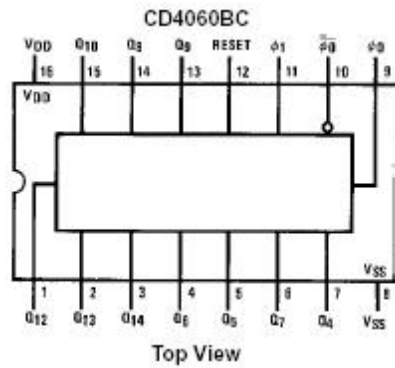
El fabricante provee en las hojas de datos unas curvas para obtener los valores de estos componentes las cuales no son muy exactas. Obtuve los valores de forma experimental colocando $V_{dd}/2$ a la entrada del VCO mediante un divisor resistivo implementado con dos resistencias de 22k, coloque dos capacitores en paralelo sumando 69nF y un preset de 10k en R_1 . Midiendo la frecuencia de salida del VCO con un osciloscopio ajusté el preset hasta obtener la frecuencia de 1.6kHz. El preset quedó en un valor de 9.3k.

El VCO presenta en su entrada impedancia infinita, lo que permite que el capacitor no se descargue y así obtener el polo en el origen necesario.

Divisor:

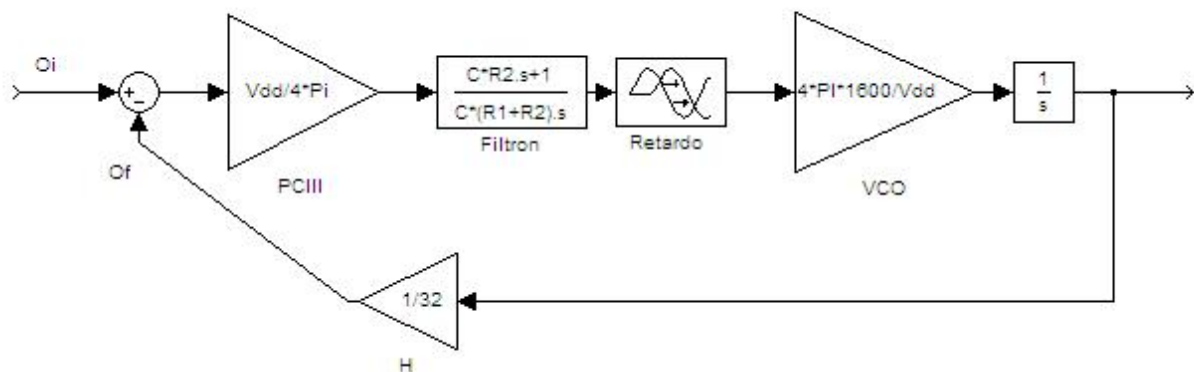
Se utilizo como divisor el contador CD4060BC

Usando como salida el pin Q5 se logra la division de frecuencia por 32



Modelo del Lazo:

El modelo del lazo es:



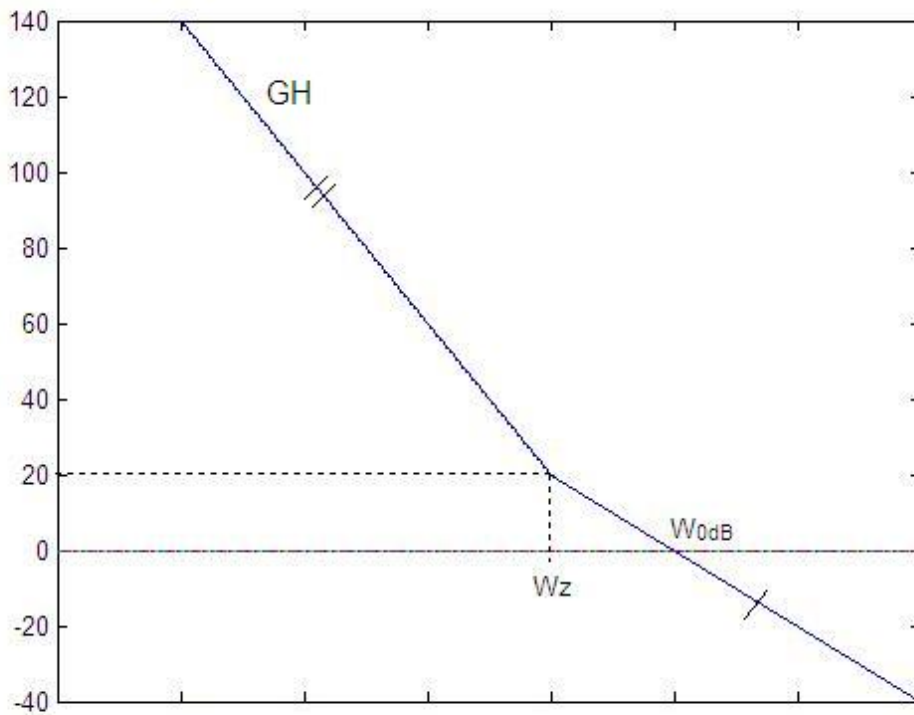
Las ecuaciones de G y H son:

$$G = \frac{1.6k}{s^2} \cdot \frac{s + sCR2}{C(R1 + R2)}$$

$$\frac{1}{H} = 20 \log 32 = 30.1 \text{ dB}$$

Para lograr las especificaciones se deben dimensionar los elementos del filtro C, R1 y R2

Coloco el cero una decada antes del cruce por 0 dB.



Calculo la frecuencia del cero:

$$G||Wz|| - 30.1 \text{ dB} = 20 \text{ dB}$$

$$G||Wz|| = 320 = \frac{1}{2} \frac{1.6 \text{ K}}{s} \frac{1}{1 + \frac{R1}{R2}}$$

$$Wz \left(1 + \frac{R1}{R2} \right) = 5 \quad \omega$$

Calculo la frecuencia de cruce por 0 dB

Al tener dos polos en el origen y el cero una decada por debajo, la fase en el cruce es de -90° . Deseo obtener un margen de fase cercano a los 60° por lo que el retardo no puede agregar mas de -30° .

$$Df = e^{-j \frac{W T}{2}}$$

$$-2 \text{ p f } 0.01 = \frac{30}{180} \text{ p}$$

$$f = 8.3 \text{ Hz}$$

Esta es la frecuencia del cruce por 0dB

El cero se colocó una década antes, por lo que:

$$\omega_z = \frac{\angle P_{\text{puerto}}}{2\pi} = \frac{\angle P_{0.3}}{10} = 5.215 \text{ || } 0.83 \text{ Hz}$$

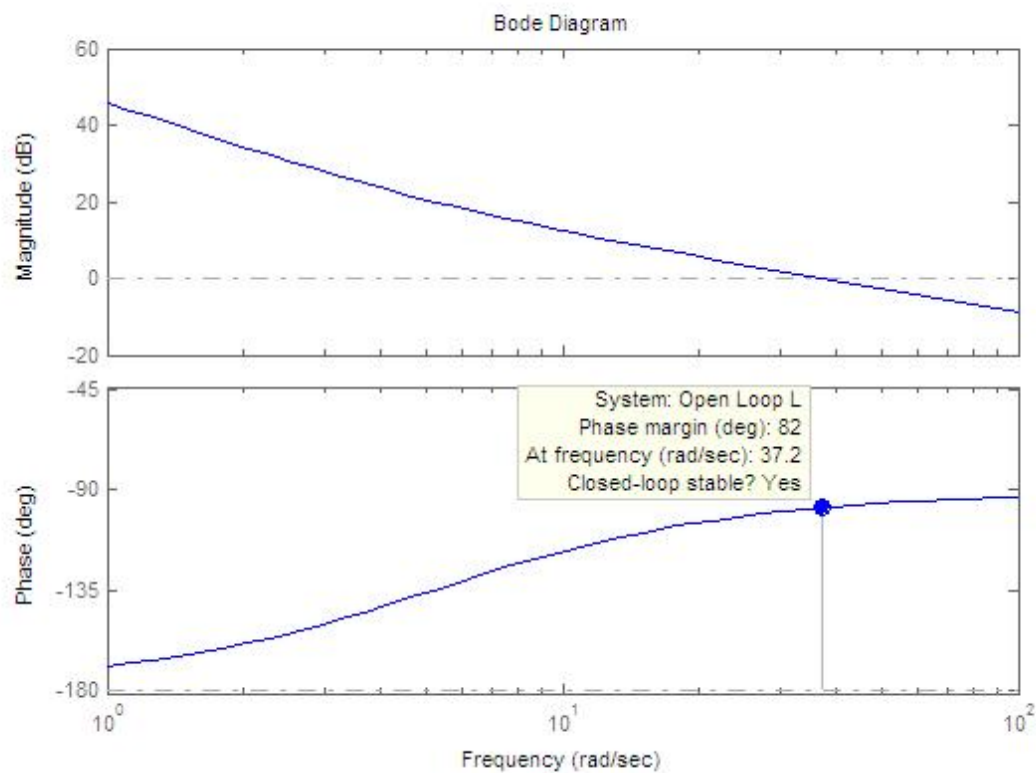
$$\omega_z = \frac{5}{1 + \frac{R1}{R2}} \quad \frac{R1}{R2} = 0.356$$

$$R2 = 2.81 R1$$

$$R2 = \frac{1}{C\omega_z}$$

Adopto: C=0.27uF, R2= 820k , R1=270k

Simulando estos resultados en MatLab:

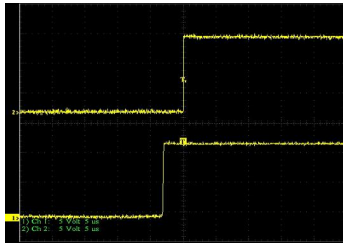


Se observa que los resultados están dentro de lo esperado

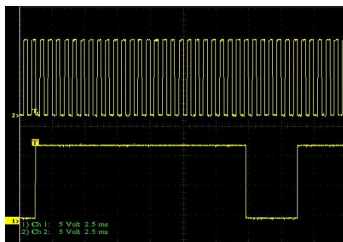
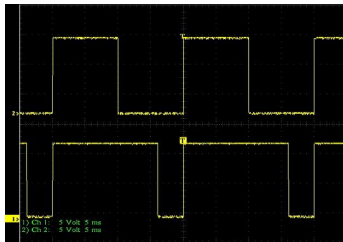
Circuito Completo:

12

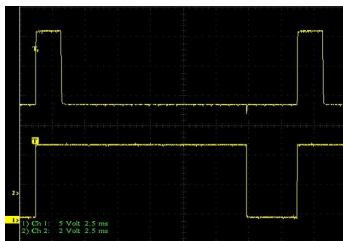
Montado el circuito sobre protoboard se obtuvieron las siguientes capturas del osciloscopio



Comparando el flanco de la referencia y el flanco de la señal obtenida el error no supera los 5 us



En esta captura se observa los 32 pulsos de la señal en un periodo de la referencia



Aquí se ve el error que produce la punta del osciloscopio al medir la entrada del VCO y con ello pasar de impedancia infinita a 10M perdiéndose el polo en el origen. Este error podría minimizarse usando un capacitor mas grande que se descargue menos