

07/06/2002

FLIP-FLOP (BIESTABLE)

Los **Flip-Flop** o **Biestable**, como también se le conoce, son circuitos secuenciales constituidos por puertas lógicas capaces de almacenar un bit, que es la información binaria más elemental.

Existe una gran variedad de biestables, los cuales se clasifican en:

Asíncronos: R-S ; J-K ; T

Síncronos: Activados por Nivel: R-S ; J-K ; D

Activados por Flanco: Edgetriggered y Master-Slave (maestro-esclavo) R-S ; D ; J-K ; T .(en este caso solo veremos el Master-Slave)

Biestable Asíncronos R-S

En la figura uno de los anexos, se muestra simbólicamente el circuito R-S. Posee dos entradas denominadas *Reset* (R) y *Set* (S) y dos salidas, Q1 y Q2. Este dispositivo se puede construir mediante dos puertas NOR o dos puertas NAND, como se puede apreciar en las figuras 2 y 3.

En la tabla 1 se representa la tabla de la verdad válida para los dos casos. Q_n es el valor de la salida Q1 en el estado anterior. $Q_n + 1$ es el valor de la salida en el estado presente. Observando la tabla de la verdad podemos comprobar que cuando el valor de las entradas R y S valen cero(0), la salida mantiene el valor anterior ($Q_{n+1}=Q_n$).

Al aplicar un 1 lógico a la entrada S, la salida $Q_n + 1$ se pondrá a 1, independientemente del valor que tuviera con anterioridad. Con valor 1, en la entrada R la salida será cero (0), con independencia del valor anterior. Cuando las dos entradas valgan 1, la salida Q_{n+1} será cero(0) en el circuito de la figura 2 de puertas NOR , por el contrario será 1 en la figura 3 construido por puertas NAND. Cuando las dos entradas valgan 1, las salidas Q_{n+1} será cero (0) en la figura #2 formados por puertas nor, por el contrario será 1 en el de la figura #3 construido con puertas NAND. Las salidas Q1 y Q2 son complementarias en todos los casos, excepto cuando el valor es 1 en las dos entradas simultáneamente. El circuito de puertas NOR se denomina de borrado prioritario, mientras que el formato por puertas NAND se llama de inscripción prioritaria. Analizando la tabla de la verdad (tabla #1), es fácilmente comprobable la capacidad de almacenamiento de estos circuitos. Un 1 aplicado en la entrada S es transmitido a la salida Q, y en ella se mantendrá aunque el valor de S pase a cero (0). La forma de borrar información almacenada en Q es aplicar un 1 en la entrada R.

Biestable Asíncrono J-K

El biestable asíncrono J-K es como el R-S, al cual se le ha eliminado el defecto de funcionamiento cuando las dos entradas valen 1. En este caso Q1 y Q2 siempre son complementarias.

En la figura #4 de los anexos aparece la representación simbólica de este biestable y su tabla de la verdad (tabla #2).

Biestable Asíncrono T

Posee una sola entrada y dos salidas complementarias. Como ya se ha indicado, no se fabrica como tal, pero

se construye fácilmente a partir de un biestable J-K, como se puede comprobar en la figura #5 uniendo sus dos entradas.

En la tabla de la verdad # 3, se puede deducir de la correspondiente al J-K observando las líneas donde los valores de las entradas son iguales ($J=K=0$ y $J=K=1$). Este biestable divide entre dos la frecuencia de la señal aplicada a su entrada T, como se puede apreciar en el diagrama de tiempos de la figura #6.

Biestables Síncronos Activados Por Nivel

Es esta una de las dos modalidades del sincronismo utilizadas para activar los biestables, es decir, para que la información presente en las entradas produzca efectos a la salida. Para que esto ocurra, en este tipo de biestable, es necesario que la señal de reloj se encuentre a nivel alto. Los cambios que se produzcan en las entradas de información, mientras dicha señal permanezca en este estado, se reflejarán en la salida. De los tres casos que vamos a exponer solamente el de tipo D se encuentra disponible en catálogo.

Biestable Sincrono R-S Activado Por Nivel

La forma más elemental de construir un circuito R-S sincrónico consiste en colocar dos puertas AND a la entrada de un R-S *Asíncrono*, tal como se indica en la figura #7. Mientras la señal de reloj permanece en nivel bajo, el valor de las entradas no produce ningún efecto sobre las salidas. Esta señal en nivel alto se convierte en una llave que permite el paso de la información. En la figura #8 se muestran los diagramas de tiempo de las señales de entradas, salidas y de reloj para facilitar la comprensión de esta forma de funcionamiento.

Biestable Sincrono J-K Activado Por Nivel

Se construye de la misma forma de los R-S, es decir, colocando un par de puertas AND a la entrada de un circuito *Asíncrono*, tal como se encuentra en la figura #9.

Biestable Sincrono D Activado Por Nivel

Este dispositivo posee una entrada de datos (D), otra de reloj (C) y dos salidas complementarias (Q y $\bar{Q}$). Su característica fundamental reside en que el valor de la salida Q es igual que el de la entrada D siempre y cuando la señal de reloj esté activa (nivel 1). Cuando la señal de reloj pasa a inactiva (nivel 0), el biestable queda enclavado con la información que tuviera en ese momento. Comercialmente es posible encontrar biestables D cuyo nivel activo es el cero (0). En la figura #10 aparece la representación simbólica de este biestable y en la tabla de la verdad #4 donde se establece la relación entre las entradas y las salidas.

A este tipo de biestable se le conoce también con el nombre de **LATCH** o cerrojo, y existe una gran variedad de circuitos integrados disponibles en catálogo. En el diagrama de tiempo o cronograma se muestra en la figura #11, en el se establece la relación entre las señales de reloj, de datos y salidas.

Biestable Síncronos Activados por Flanco

Como hemos comprobado en los biestables activados por nivel los cambios producidos en las entradas, mientras permanece la señal de reloj en nivel activo, se reflejan en la salida. Esta forma de funcionamiento puede ocasionar problemas cuando la conmutación en las señales de entradas se realiza con una frecuencia elevada. Reducir el tiempo de duración del nivel activo no es una solución suficiente, ya que este, por otra parte, debe ser lo suficientemente largo como para permitir la conmutación de los dispositivos más lentos que forman parte del sistema.

Los *FLIP-FLOPS* integrados adoptan algunas de las dos soluciones que se describen a continuación: a) Configuración **EDGE-TRIGGERED**.

b) Configuración **MASTER-SLAVE**

(**Nota:** como aviamos mencionado anteriormente solo veremos la configuración MASTER-SLAVE)

Configuración Master-Slave: Esta constituido por dos etapas. Para entender con mayor facilidad su funcionamiento utilizaremos el esquema de la figura #12, formados por dos biestables R-S *Asíncrono*, cuatro puertas AND y una inversora (7404).

Cuando la señal de reloj pasa de nivel cero (0) a nivel uno (1), la información presente en las entradas R-S del circuito entra al primer biestable, denominado Master, a través de las puertas Y1 e Y2. En este estado de la señal de reloj las entradas del segundo biestable, llamado Slave, permanecen cerradas, ya que el valor de salidas de las puertas Y3 e Y4 es cero (0).

Al pasar la señal de reloj a nivel cero (0), la información almacenada en el Master pasa al Slave porque ahora esta señal abre las puertas Y3 e Y4. En estas circunstancias las puertas Y1 e Y2 permanecerán cerradas y, en consecuencia, los cambios producidos en las entradas principales del circuito no seran captados por el Master.

Biestable Sincrono J-K Activado Por Flanco

La mayor parte de los Biestables J.-K comerciales activados por flanco, de la misma manera que los Flip-Flop tipo D, son del tipo *edge-triggered*; sin embargo, para ilustrar este apartado hemos elegido un circuito Master-Slave, con el fin de proporcionar una visión completa de todas las formas de disparo.

El C.I. 7473 contiene dos biestables de tipo J-K Master-Slave disparado por flanco de bajada. La constitución interna de cada uno de ellos se aproxima al modelo mostrado de la figura #13.

Este circuito posee dos entradas de datos (J-K), y una entrada de reloj, independientes para cada biestable. Las salidas son complementarias. Los datos de las entradas son procesados después de un impulso completo de reloj. Mientras este permanece en nivel bajo el Slave esta incomunicado del Master. En la transición positiva de reloj los datos de J y K se transfieren al master. En la transición negativa del reloj la información del Master pasa al Slave. Los estados lógicos de las entradas J y K debe mantenerse constantes mientras la señal de reloj permanece en nivel alto. Los datos se transfieren a la salida en el flanco de bajada de la señal de Reloj. Aplicando un nivel bajo a la entrada *clear* (clr) la salida Q se pondrá a nivel bajo, independientemente del valor de las otras entradas.

Cuando las dos entradas J y K están en nivel bajo y se aplica un impulso de reloj, las salidas permanecerán con el valor que tuvieran anteriormente. Los valores Q0 y Quo de la tabla indican el estado de la salida anterior a la aplicación del impulso de la señal de reloj. El estado de TOGGLE quiere decir que las salidas tomaran el valor complementario al que tuvieran previamente cada vez que aparezca un impulso de reloj. Para ello es necesario que las entradas J y K se encuentren en nivel alto